الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي والبحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Département : Génie électrique Et Informatique Industrielle

Mémoire de projet de fin d'études

Pour l'obtention du diplôme d'ingénieur d'Etat en **Electronique**

Spécialité
Systèmes embarqués

Etude et conception d'un système électronique modulaire dédiée à une application multimédia.

Réalisé par

Maroua TOUTI et Youcef YOUSFI

Présent(e) et soutenue publiquement le (14/09/2023)

Composition du Jury :

Président	M. Belkacem ABBADI	Maitre de Conférence B	ENST
Promoteur	M. Ahmed BOUSSOUFA	Maitre-Assistant B	ENST
Examinatrice	Mme. Lamia HABANI	Maitre-Assistant A	ENST
Examinateur	M. Abdelmalek BELLOULA	Maitre-Assistant B	ENST

Année universitaire 2022 –2023



Nous tenons tout d'abord à remercier Allah le tout puissant et miséricordieux, de nous avoir donné la force et la patience pour mener à bien ce modeste travail.

Remerciements :

Nos remerciements les plus sincères vont tout d'abord à ***Monsieur BOUSSOUFA Ahmed****, de nous avoir encadré et suivie durant la réalisation de ce travail, qu'il trouve ici l'expression de toute notre reconnaissance et notre profond respect pour la confiance qu'il nous a accordée, merci pour ses précieux conseils pendant toute la durée de ce travail.*

Nous exprimons notre profonde gratitude à ***Monsieur ABBADI Belkacem*** *qui nous fait l'honneur de présider ce jury. Nous tenons également à la remercier pour la qualité de ses enseignements pour la filière d'immunologie.*

Nous exprimons notre reconnaissance à ***Madame HABANI Lamia*** *ainsi qu'à* ***Monsieur BELLOULA Abdelmalek****, un grand merci d'avoir accepté d'examiner notre travail.*

Enfin, nous adressons nos sincères remerciements à tous ceux et celles qui ont participé de près ou de loin à l'élaboration de ce travail, qu'ils trouvent ici notre haute considération.

Maroua et Youcef.

Dédicace

Je dédie cet humble travail :

A mes chers parents *aucun mot, aucune dédicace ne saurait exprimer la reconnaissance, le respect et l'amour que je vous porte. Sans vos sacrifices, vos prières, votre amour et vos encouragements je ne serais pas là aujourd'hui. Que ce modeste travail soit l'exaucement de vos vœux tant formulés, le fruit de vos innombrables sacrifices, bien que je ne vous en acquitterai jamais assez.*
Je prie Allah le tout puissant pour vous préserver et vous accorder longue vie, santé et bonheur.

Mes chéres sœurs ***Roumaissa*** *et* ***Cérine*** *vous étes ma fiérete et ma source de force, vous m'avez toujours encouragé, soutenu et reconforté. Merci infiniment . A mes sources de joie* ***Hiba, Lyna*** *et* ***Yacer*** *merci pour votre compréhension face a mon anxiéte durant les examens. je vous souhaite un avenir plein de joie, de bonheur et de réussite. Que ce travail vous reflète ma profonde affection.*

A mes grands parent*, vos priéres ont illuminé le long de mon parcours. Aucune dédicace ne saurait exprimer l'amour l'estime et le respect que j'ai toujours eu pour vous.*

A tout les membre de la ***famille TOUTI*** *et la* ***famille TAZI****.*

A mes amies ***Ryhame et Ouisseme*** *vous êtes pour moi des sœurs sur qui je peux compter. En témoignage de l'amitié qui nous unit et des souvenirs de tous les moments que nous avons passés ensemble, je vous dédie ce travail et je vous souhaite une vie pleine de santé et de bonheur.*

A mon binome ***YOUSFI Youcef****, je n'oublierai jamais les bons moments et les aventures qu'on a vécu ensemble le long de notre cursus.*

Au consoeurs et confréres*, j'ai appris tant de choses de vous, je vous souhaite pleins de bonheurs et de réussite.*
A tous ce qui me sont chers.

Maroua.

Dédicace

Je dédie ce travail :

A ma très chère et douce ***mère*** *qui m'a soutenu, et m'a toujours motivé pour avancer dans toutes les situations, et qui a fait beaucoup de sacrifices dans sa vie pour que la mienne ait un sens. Ses prières ont été pour moi un grand soutien tout au long de mes études. Puisse Dieu tout puissant te préserver, te procurer longue vie, santé et bonheur. Rien au monde ne vaut tes efforts fournis jour et nuit pour mon éducation et mon bien être, J'espère que tu seras fière de moi pour toujours.*

A mon cher ***père,*** *je ne pourrai jamais assez te remercier pour tout ce que tu as fait et continues de faire pour moi. Tes actions et ta présence dans ma vie sont des cadeaux inestimables.*

A ma chère sœur ***LILIA*** *qui était toujours à mes côtés je te remercie pour tes encouragements.*

A tous les membres de la ***famille BOURAHLA,*** *et la* ***famille YOUSFI.***

À mes amis ***Zakaria, Yacine, Mouhamed, Amine, Hamid, Hadjer, Cerine et Aya****. Merci pour votre soutien et vos encouragements je vous souhaite beaucoup de réussite et de bonheur, autant dans votre vie professionnelle que privée.*

A ma chère amie ***Maroua,*** *Je tiens à te remercie pour ton apport indispensable et tes précieuses contributions au projet. Sans ta présence et ton engagement cette réalisation ne serait pas parvenue à son terme.*

A ma binôme ***Maroua,*** *Je tiens à te remercier sincèrement pour ton dévouement, ton travail acharné et ta précieuse contribution. Grâce à notre collaboration, nous avons pu surmonter les défis avec confiance et réaliser des résultats remarquables.*

Enfin ***à tous mes connaissances****, à tous ceux qui m'ont aidé dans ma vie de loin ou de près, a tous ceux qui m'aiment, qui sont là pour moi, je vous dédie ce modeste travail.*

Youcef.

Table des matières

Table des figures **I**

Liste des tableaux **IV**

Liste des abréviations **V**

Introduction générale **1**

I La méthodologie de conception des PCBs modulaires. **3**
I.1 Introduction . . . 4
I.2 Concept de la méthodologie modulaire . . . 4
I.2.1 Structure d'un PCB modulaire . . . 5
I.2.2 Étapes de la méthodologie modulaire . . . 5
I.3 Les apports d'une architecture modulaire . . . 6
I.4 Domaine d'utilisation . . . 8
I.4.1 Les produits électroniques grand public . . . 8
I.4.2 Télécommunication . . . 9
I.4.3 Gestion d'énergie . . . 9
I.4.4 Automobile . . . 10
I.4.5 L'industrie . . . 10
I.4.6 Domaine médical . . . 10
I.4.7 Aérospatiale et défense . . . 10
I.5 Conclusion . . . 11

II Conception des Circuits imprimés (PCBs). **12**
II.1 Introduction . . . 13
II.2 Circuits imprimés PCB . . . 13
II.2.1 Structure d'une carte de circuit imprimé . . . 13
II.2.2 Concept de superposition des couches de PCB . . . 13
II.2.2.1 PCB Monocouche . . . 14
II.2.2.2 PCB Multicouches . . . 15
II.2.3 Types des circuits imprimés . . . 16
II.2.3.1 PCB Rigides . . . 16
II.2.3.2 PCB Flexible . . . 16
II.2.3.3 PCB Flex- Rigide . . . 17
II.2.3.4 PCB À noyau métallique . . . 17
II.2.4 Processus de conception des PCBs monoblocs . . . 18
II.2.5 Processus de conception des PCB modulaire . . . 19

II.3 Conclusion 20

III Conception du ModuZynq : Application Multimédia 21
III.1 Introduction 22
III.2 Description générale 22
III.3 Choix de composants 23
III.3.1 Unité de process 23
III.3.1.1. Comparaison entre CPU/GPU et SoC : CPU/FPGA . . 24
III.3.1.2 SoC : Zynq 7010 25
III.3.2 Mémoire 28
III.3.2.1 SDRAM-DDR 28
III.3.2.2 NAND Flash-eMMC 30
III.3.2.3 NOR Flash-QSPI 32
III.3.3 Boot 33
III.3.4 Interface de communication 33
III.3.4.1 HDMI (High-Definition Multimedia Interface) 33
III.3.4.2 Ethernet 35
III.3.4.3 Carte mémoire SD 37
III.3.4.4 USB 37
III.3.5 Source d'alimentation 42
III.3.5.1 PDN : Power distribution network 42
III.4 ModuZynq en méthodologie modulaire 46
III.4.1 SoM :Système sur module 46
III.4.2 Carte à application spécifique 47
III.4.3 Événements ESD 47
III.5 Connecteurs 48
III.5.1 Informations techniques 48
III.5.2 Choix du connecteur 49
III.6 Conclusion 49

IV ModuZynq : Schéma Electrique et Layout 50
IV.1 Introduction 51
IV.2 Schéma électrique 51
IV.2.1 Circuit POWER 51
IV.2.1.1 eFuse : TPS25940ARVCR 51
IV.2.1.2 Régulateur : SY8003ADFC 53
IV.2.1.3 Zynq 7010 : POWER et GND 54
IV.2.2 Circuits des mémoires 55
IV.2.2.1 DDR3L : MT41K256M16TW-107_IT :P 55
IV.2.2.2 Régulateur VTT : BD3539FVM-TR 56
IV.2.2.3 Zynq 7010: Bank 502 57
IV.2.2.4 eMMC : MTFC64GAZAQHD-IT 57
IV.2.2.5 NOR Flash QSPI : W25Q128JV 59
IV.2.2.6 Zynq 7010 : Bank 500 61
IV.2.2.7 Carte SD : TXS02612RTWR 61
IV.2.3 Circuit digital high-speed 62

IV.2.3.1 USB au JTAG/UART : FT2232HQ 62
IV.2.3.2 Zynq 7010 : Bank CONFIG 64
IV.2.3.3 USB OTG : USB3320 65
IV.2.3.4 USB HUB : USB2514B 67
IV.2.3.5 Ethernet : RTL8211F 69
IV.2.3.6 HDMI 71
IV.2.4 Connecteurs : BergStak® 0.8mm 72
IV.2.5 Zynq 7010: Bank 34, 35 et 501 74
IV.3 Layout 74
IV.3.1 BGA et WLCSP : 75
IV.3.1.1 Description du boîtier : 75
IV.3.1.1 Directive de layout : 75
IV.3.2 QFP et QFN 78
IV.3.2.1 Description du boîtier 78
IV.3.2.2 Directives de layout : 79
IV.3.3 Mémoires 81
IV.3.3.1 NAND Flash : eMMC 81
IV.3.3.2 DDR3L 83
IV.3.3.3 QSPI 83
IV.3.3.4 SD Card 84
IV.3.4 Circuit USB HUB, OTG et JTAG 84
IV.3.4.1 Signaux USB 2.0 84
IV.3.4.2 Impédance contrôlée pour les pistes USB 84
IV.3.4.3 Isolation des pistes DP/DM 84
IV.3.4.4 Placement et routage de l'oscillateur à quartz : 84
IV.3.4.5 USB HUB 85
IV.3.4.6 USB OTG : 85
IV.3.4.7 RBIAS 85
IV.3.4.8 JTAG 85
IV.3.5 Ethernet 85
IV.3.5.1 Emplacement 85
IV.3.5.2 Routage de trace 86
IV.3.5.3 Connexion des pistes de l'interface MII au contrôleur LAN 86
IV.3.5.4 Alimentation et plan de masse 86
IV.3.5.6 Pour des performances analogiques meilleures et plus stables 87
IV.3.6 HDMI 87
IV.4 Conclusion 89

Conclusion générale **90**

Bibliographie **92**

Annexe **98**

Table des figures

I.1 Courbe de recherche d'un nombre de modules optimale [4]. 5
I.2 Étapes de la méthodologie modulaire [4]. 6
I.3 Kit de traitement d'image avancé ZedBoard. 9
I.4 Les unités de contrôle électronique automobile [13]. 10

II.1 Structure de PCB monocouche [19]. 14
II.2 Structure de PCB monocouche [20]. 15
II.3 ZYBO Z7 – PCB rigide [21]. 16
II.4 Smart watch - PCB flexible. 17
II.5 PCB flex-rigide. 17
II.6 PCB à noyau métallique. 17
II.7 Flot de conception des PCBs. 18

III.1 Composition du Système ModuZynq. 22
III.2 Architecture interne du SoC-Zynq. 26
III.3 Caractéristiques de la partie PL [29]. 26
III.4 Caractéristiques de la partie PS [29]. 27
III.5 Vitesse maximale du transfert Zynq 7010. 29
III.6 Les principaux paramètres de synchronisation du MT41K. 29
III.7 La série DDR3L - MT41 [31]. 29
III.8 Bloc diagramme de la mémoire eMMC. 30
III.9 Bloc diagramme d'une interface SDIO. 31
III.10 La gamme eMMC-MTFC [35]. 31
III.11 Bloc diagramme de la mémoire QSPI. 32
III.12 Le choix du mémoire QSPI. 33
III.13 Architecture de l'interface HDMI. 34
III.14 MUX/DMUX TS3DV642 avec deux ports HDMI activés [39]. 34
III.15 Principe de sélection des HDMI [39]. 35
III.16 Signaux du connecteur Ethernet RJ45. 35
III.17 Option de configuration du Gigabit PHY [40]. 36
III.18 Connexion (Zynq) - PHY (RTL8211F). 36
III.19 Connexion microSD – Zynq 37
III.20 Principe de configuration du SoC. 38
III.21 Configurations de deux ports ADBUS/ BDBUS. 39
III.22 Détermination initiale des rôles [42], [43]. 40
III.23 Protocole SRP (Génération de VBUS) [42], [43]. 40
III.24 Connexion d'un SoC via l'interface ULPI. 41
III.25 Principe de fonctionnement d'USB HUB 41

III.26 Conditions de fonctionnement recommandées (partie PS)[47]. 43
III.27 Conditions de fonctionnement recommandées (partie PL) [47]. 43
III.28 Tension d'alimentation. 43
III.29 Le FET intégrés dans TPS25940. 44
III.30 Système sur module 46
III.31 Carte à application spécifique 47
III.32 Choix du connecteur BergStak® 0,8 mm. 49

IV.1 Schéma électrique de eFuse TPS25940ARVCR [48], [49] 51
IV.2 Schéma électrique du régulateur SY8003ADFC [53]. 53
IV.3 Zynq 7010 (Bank POWER). 54
IV.4 Brochage - MT41K256M16TW. 55
IV.5 Brochage - BD3539FVM [55]. 56
IV.6 Zynq7010 (Bank 502). 57
IV.7 Schéma électrique d'eMMC (PCB – SoM). 58
IV.8 Périphérique des pins I/Os de Zynq7010 - logiciel VIVADO. 58
IV.9 Brochage des pins DATA et DS [57]. 59
IV.10 Brochage électrique du W25Q128JV. 60
IV.11 Switch de sélection des modes de Boot. 60
IV.12 Les différents modes de boot [61]. 61
IV.13 Zynq7010 (Bank 500). 61
IV.14 Circuit carte SD. 62
IV.15 Brochage - FT2232HQ [62], [63]. 62
IV.16 Mode de configuration [64]. 63
IV.17 Schéma interne - PCMF1USB3B. 63
IV.18 Zynq 7010 (Bank CONFIG) [59], [65]. 64
IV.19 Brochage - USB3022 [59], [63]. 65
IV.20 Configuration de la fréquence de référence. 65
IV.21 Load switch – MIC2099. 66
IV.22 Valeur de résistance de limitation [66]. 66
IV.23 Sélection des Output D1+/- et D2+/-. 67
IV.24 Brochage du circuit USB2514B_Bi [45], [67]. 67
IV.25 Configuration initiale de l'interface [45]. 68
IV.26 Brochage du load switch et connecteur USB du Port 1. 68
IV.27 Signaux RGMII. 69
IV.28 Brochage du RTL8211FCG [63]. 70
IV.29 Brochage de MUX/DMUX TS3DV642 [59]. 71
IV.30 Partie du schéma électrique des connecteurs (Signales de Données et I/Os). 73
IV.31 Partie du schéma électrique des connecteurs (Signales d'Alimentations, Données et I/Os). 73
IV.32 Zynq7010 (Bank 35, 34 et 501). 74
IV.33 1.0 et 0.8 mm pitch BGA Via fan-out pattern. 75
IV.34 quadrant dog-bone fan-out 76
IV.35 1.0 mm and 0.8 mm pitch BGA layout design rules 76
IV.36 Exemple fan-out of LFBGA320 77
IV.37 0.5 mm pitch BGA layout design rules 77

IV.38 VIA to plane connection 78
IV.39 Boitier QFP et QFN 78
IV.40 VIAs intérieur 79
IV.41 VIA tenting et du VIA plugging 79
IV.42 Un system thermique cross-sectional view 80
IV.43 QFN landing pattern with 6 x 6 via array 80
IV.44 Thermal via 80
IV.45 Les connexions recommandées des condensateurs aux VIAs de puissance. 81
IV.46 Placement des condensateurs et Routage des signaux recommandés. . . . 82
IV.47 Forme de traces recommandées 82
IV.48 Recommandation concernant les ruptures ou les vides dans le plan de masse. 83
IV.49 Système sur module. 88
IV.50 Carte à application spécifique. 89

Liste des tableaux

II.1 Les avantages et inconvénients de PCB monocouche. [18] 14
II.2 Les avantages et inconvénients de PCB multicouches. [18] 16

Liste des abréviations

AMBA *Advanced Microcontroller Bus Architecture.*

APSoC *Application Processor System on Chip.*

APU *Application Processing Unit.*

ASIC *Application Specific Integrated Circuits.*

BOM *Bill of Materials.*

CA *Courant Alternatif.*

CAO *Conception Assistée par Ordinateur.*

CEC *Consumer Electronics Control.*

CLB *Configurable Logic Block.*

CPU *Central Processing Unit.*

DDR3 *Double Data Rate 3.*

DFM *Design for Manufacturing.*

DFMA *Design for Manufacturing and Assembly.*

DFA *Design for Assembly.*

Dk *Dielectric constant.*

DRC *Design Rules Check.*

ECC *Error-Correcting Code.*

ECad *Electronics Computer Aided Design.*

EMI *Electromagnetic Interference.*

EMIO *Extended Multiplexed Input/Output.*

ESD *Electrostatic Discharge.*

FPGA *Field-Programmable Gate Array.*

FR4 *Flame Retardant 4.*

FPU *Floating-Point Unit.*

GPU *Graphics Processing Unit.*

GPS *Global Positioning System.*

HDMI *High-Definition Multimedia Interface.*

HNP *Host Negotiation Protocol.*

I2C *Inter-Integrated Circuit.*

JTAG *Joint Test Action Group.*

JEDEC *Joint Electron Device Engineering Council.*

MIO *Multiplexed Input/Output.*

MCad *Mechanical Computer-Aided Design.*

MDI *Medium Dependent Interface.*

MMU *Memory Management Unit.*

OTG *On-The-Go.*

PDN *Power Down.*

PDN *Power Delivery Network.*

PET *Polyéthylène Téréphtalate.*

PL *Programmable Logic.*

PS *Processing System.*

PTH *Plating Through Hole.*

QSPI *Quad Serial Peripheral Interface.*

RAM *Random Access Memory.*

RA *Feuille de cuivre recuit laminé.*

SCU *Snoop Control Unit.*

SD *Secure Digital.*

SDIO *Secure Digital Input/Output.*

SDRAM *Synchronous Dynamic Random-Access Memory.*

SI *Intégrité du Signal.*

SoC *System on Chip.*

SoM *System on Module.*

SRP *Session Request Protocol.*

USB *Universal Serial Bus.*

ULPI *UTMI+ Low Pin Interface.*

UART *Universal Asynchronous Receiver-Transmitter.*

VIA *Vertical Interconnect Access.*

XADC *Xilinx Analog-to-Digital Converter.*

XIP *eXecute In Place.*

Introduction générale

La mondialisation a donné lieu à une intensification de la concurrence industrielle, électronique qui pousse les entreprises à se surpasser dans le but d'offrir aux consommateurs des produits manufacturés exceptionnels : innovants, efficaces à moindre coût tout en tenant compte du défi chronologique (Time To Market).

Dans le domaine de prototypage, afin de réduire ce temps, il est nécessaire d'analyser et de créer de nouvelles techniques de conception. Celles-ci sont indispensables pour optimiser la réalisation des circuits imprimés ou PCBs (Printed Circuit Board). Ces méthodes doivent prendre en compte l'ensemble des facteurs affectant le cycle de vie du prototype, à savoir l'utilisation, le développement, les variantes souhaitées, les caractéristiques techniques ainsi que la fabrication.

Les PCBs actuels requièrent un effort considérable lors de leur conception : une structure distincte, en bloc, doit être développée pour chaque version. Ceci impacte le cout de manière négative. Il devient indispensable de mettre en œuvre une conception modulaire des produits, dans laquelle les modules sont interconnectés via les protocoles de communication universels [1].

Le présent travail, a pour but de concevoir une carte électronique avancée dédiée à une application multimédia en utilisant une méthodologie de conception modulaire. Celle-ci divise les circuits en modules interconnectés et indépendants pour constituer par la suite un produit final avec une complexité relative à l'application (besoin). Cette approche présente des avantages tels qu'une efficacité, une réutilisabilité et une flexibilité accrues.
L'utilisation des modules permet aux concepteurs de circuits imprimés de simplifier leur conception, d'accélérer le processus de développement et de faciliter la maintenance et les mises à jour futures des circuits. En termes de réutilisabilité, cette approche permet d'intégrer rapidement les modifications nécessaires et les améliorations potentielles après chaque test effectué. Ainsi, garantir une réponse rapide aux besoins et exigences de prototypage. La production parallèle des différents éléments qui constitue le produit permet ainsi de réduire la durée de la réalisation du prototype, et par la suite les coûts inhérents.

Le présent travail est constitué des quatre suivants chapitres :

Chapitre 1 : Méthodologie de Conception des PCBs Modulaires.

Ce chapitre introduit les principes fondamentaux de la conception modulaire des PCBs. Il met en avant l'importance de cette approche dans le développement électronique, en permettant une réutilisation efficace des modules, une meilleure gestion des mises à jour et une simplification de la maintenance.

Chapitre 2 : Conception des Circuits Imprimés (PCBs).

Ce chapitre se penche sur les bases de la conception des PCBs. Il explore les différents éléments d'un PCB, y compris les couches, les composants, les pistes de connexion et les règles de routage. L'objectif est d'acquérir une compréhension approfondie des concepts de base nécessaires à la conception de PCBs fonctionnels et efficaces.

Chapitre 3 : Conception du ModuZynq : Application Multimédia.

Ce chapitre se concentre sur la conception du ModuZynq, un composant clé pour les applications multimédias. Il explique le choix de différentes parties constituant le système ModuZynq pour répondre aux besoins d'une application multimédia performante, en mettant en avant ses capacités de traitement et d'interface.

Chapitre 4 : ModuZynq : Schéma Électrique et Layout.

Ce chapitre aborde les étapes de conception du schéma électrique et du layout du PCB pour le ModuZynq. Il explique comment créer un schéma électrique détaillé en utilisant des outils de conception PCB et comment réaliser le layout du PCB en plaçant les composants de manière optimale et en respectant les contraintes électriques.

Ces quatre chapitres couvrent des aspects essentiels de la conception des PCBs modulaires, ainsi que la configuration du système ModuZynq et de la réalisation du schéma électrique et du layout pour les deux PCBs modulaire qui composent le système. Ensemble, ils offrent une base solide pour la réalisation de projets électroniques complexes et orientés multimédia.

Chapitre I

La méthodologie de conception des PCBs modulaires.

I.1 Introduction

Les évolutions significatives dans le domaine industriel ont conduit à l'émergence vers de nouvelles méthodes pour la conception et la production. L'objectif clé d'une entreprise doit être de gagner ou garder sa place privilégiée. Ceci en offrant des produits qui dépassent les normes habituelles en termes de coûts, délais et de performances. En optant pour la méthodologie modulaire, les entreprises peuvent venir à bout de cette problématique [2].

Les fondements théoriques de cette méthodologie ont été développés par Herbert Simon en 1962. D'après lui, un système complexe *« est construit à partir d'un grand nombre d'éléments qui interagissent d'une manière complexe »* et aussi *« La décomposition de la complexité croissante d'un système (d'un produit) engendre un contrôle plus maîtrisé »* [3].

L'idée se présente comme un puzzle, dont les pièces peuvent s'emboîter pour composer différentes compositions. En fixant la forme de chaque module et les interfaces, il devient évident que l'utilisation des modules apporte une diversité dans l'assemblage.

L'objectif principal de cette approche est d'accroître l'efficience, le rendement, l'adaptabilité entre différents éléments, tout en assurant une amélioration de l'efficacité avec une réutilisabilité et flexibilité de la conception.

Ce premier chapitre présente le cadre général de la méthodologie modulaire, avec une discussion sur concept, la structure puis les étapes afin de transformer une méthodologie monobloc en modulaire. Au final, l'attention des lecteurs sera attirée vers les différents apports et domaines d'utilisations de la méthodologie modulaire.

I.2 Concept de la méthodologie modulaire

La création de la diversification est le rôle principal des concepteurs. À cet effet, une désignation des éléments communs utilisés dans des différents produits sera faite, afin de les regrouper sous forme de modules. Ces derniers sont destinés à un large éventail d'applications et doivent répondre à un ensemble d'exigences liées à leurs applications respectives. L'objectif est de produire un maximum de produits différents en se basant sur un minimum de composants.
Dans la conception modulaire, le produit est divisé en sous-éléments, plus ou moins indépendants et autonomes, appelés modules. Cela consiste à partager des éléments entre différentes fonctions et/ou divers produits finaux, qui ce différent lors du rassemblement final, ceci est déterminé par le choix des modules utilisés et leur position dans la conception finale [2].

I.2.1 Structure d'un PCB modulaire

La structure modulaire montre son potentiel en termes de flexibilité accrue. Cependant, il faut s'assurer que :
- La qualité n'est pas compromise,
- Production des modules avec une précision significative,
- Un état de surface (dimension et géométrie) suffisant conservé par rapport à la conception monobloc.

La division d'un PCB en plusieurs modules manufacturables peut grandement améliorer la production, en surmontant les difficultés de réalisation, d'usinage et de maintenance. D'autre part, le nombre croissant de modules rend le montage de plus en plus compliqué. De ce fait, il faut trouver une division en un nombre raisonnable de modules (optimum) qui faciliter la fabrication et qui n'entraînent pas de contraintes sur l'assemblage [4].

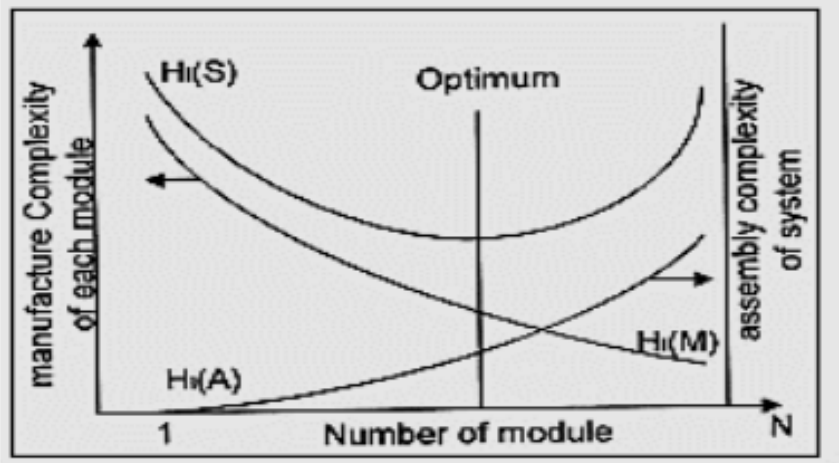


Fig. I.1 : Courbe de recherche d'un nombre de modules optimale [4].

D'après la figure (1.1), l'équation de la courbe de la complexité de système complet est définie par l'équation suivante :

$$\mathbf{Hl(S) = Hl(A) + Hl(M)}$$

Tel que **Hl(A)** : La complexité d'assemblage,

Hl(M) : La complexité de la fabrication.

Le nombre idéal des modules (divisions) est représenté par le sommet de la courbe Hl(S) [4].

I.2.2 Étapes de la méthodologie modulaire

L'objectif général de la modularité est d'analyser et comprendre les caractéristiques suivantes : coûts, délais, qualité et flexibilité des PCBs monoblocs puis proposer des dispositions de modules qui peuvent améliorer considérablement ces caractéristiques.

Le développement de cette méthodologie est basé sur les cinq étapes présentées dans le schéma ci-dessus.

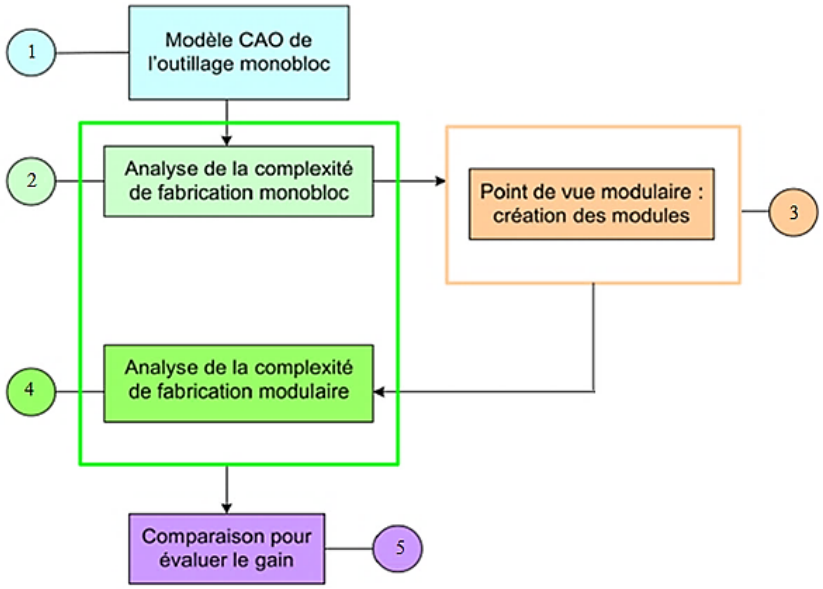


Fig. I.2 : Étapes de la méthodologie modulaire [4].

- **Explication des blocs :**

- **Étape 1 :** Étude du modèle CAO du circuit imprimé dans sa forme monobloc,
- **Étape 2 :** Première analyse de la complexité de fabrication monobloc,
- **Étape 3 :** Application des changements nécessaires pour reproduire le même PCB d'un point de vue modulaire,
- **Étape 4 :** Deuxième analyse, similaire à celle décrite à l'étape 2 sur le nouveau modèle CAO,
- **Étape 5 :** Comparaison de complexité entre les deux méthodologies, afin d'évaluer avec les avantages apportés par l'utilisation d'une conception modulaire.[4].

I.3 Les apports d'une architecture modulaire

Le choix de l'architecture modulaire a un impact direct sur la stratégie chez les entreprises ou en industrie, que ça soit en performance économique ou dans le processus de fabrication.

- **Recyclage et réutilisation des modules**
  - Possibilité de recycler les modules préconçus, qui seront réutilisés dans de nouveaux projets,
  - Réduction de la quantité des déchets électroniques, étant donné que les composants défaillants sont individuellement remplacés plutôt que l'ensemble du système,

- Après les phases développement et test de chaque module, ces derniers vont être mis en ligne ou dans une bibliothèque pour une utilisation ultérieure,

- Gain du temps de développement lors de la conception des circuits similaires, avec plus de garantie, cohérence et fiabilité.

- **Flexibilité de conception et évolutivité**

  - La division du PCB en modules distincts, afin d'offrir plus flexibilité et d'évolutivité lors du rassemblement du produit final,

  - Construction de chaque module indépendamment en fonction de ses usages et fonctionnalités spécifiques. Cela permet une conception plus performante,

  - Possibilité d'effectuer les modifications même à la fin du processus de conception, dans le but d'avoir la meilleure version de produit voulue.

- **Gestion des risques et réduction d'erreur**

  - L'utilisation de modèles préconçus lors de la conception des circuits imprimés assure une meilleure cohérence ainsi qu'une meilleure fiabilité.

  - Le recours à une conception modulaire au moment de la conception facilite grandement la gestion des risques en divisant le PCB en modules indépendants, ceci permettra une facilité dans l'identification et la correction d'erreurs,

  - - Pour limiter les risques liés au circuit complet, des tests seront effectués sur chacun des modules séparément afin de s'assurer leur bon fonctionnement et de leur conformité [5], [6].

- **Maintenabilité rapide**

  - Facilité d'identification du type de la panne et la détection du module défaillant,

  - Si panne est détectée, la réparation ou l'échange du module défaillant sera effectué d'une façon individuelle et sans impacter les autres modules du PCB,

  - Maintenabilité rapide et efficace, ce qui réduit considérablement le temps d'arrêt du système,

  - La disponibilité des modules, avant la conception, offre une grande facilité d'échange pour chaque module [7].

- **Innovation**

  - L'architecture modulaire est le fait qu'elle permet une standardisation "plug and play" efficace,

  - La préoccupation de la modularisation est la capacité de favoriser l'innovation et la flexibilité des produits,

  - L'innovation est favorisée par la modularisation à deux niveaux, au sein des modules eux-mêmes et dans les combinaisons de ces derniers [2].

- **Rendement économique**

  - Nouvelles combinaisons de produits finaux pouvant être fabriqués de manière économique,

- La modularité maintient le coût d'obtention à un faible niveau par rapport aux architectures monoblocs (intégrales),

- Séparation d'une façon claire l'effort de la conception des PCBs, afin de permettre un travail parallèle,

- Gestion de projet plus efficace, avec une évolution tout au long du cycle de vie du produit, y compris des améliorations de performances et l'inclusion de nouvelles options [2].

À l'issue de cette partie, on constate que la méthodologie modulaire apporte énormément de valeur ajoutée. En revanche, cette dernière présente des points faibles en termes de :

- La performance peut être réduite comparé à la méthodologie monobloc,
- Dépendance des modèles préconçus,
- Personnalisation limitée,
- Coût initial plus élevé,
- Complexité d'intégration.

Le choix entre la méthodologie modulaire ou monobloc dépendra du type de produit final, le domaine d'utilisation et des exigences. À cet effet, il faut analyser soigneusement les conditions initiales, en pesant le pour et le contre des deux méthodologies, afin d'aboutir à une décision finale. Néanmoins, dans la majorité des cas, les apports de la conception modulaire prédominent sur les inconvénients, par conséquent l'aspect modulaire est adapté dans différents domaines.

I.4 Domaine d'utilisation

Avec l'évolution de l'électronique, la méthodologie de conception des circuits imprimés modulaires devient de plus en plus demandée et appliquée dans divers domaines. Cette méthodologie peut être utilisée dans presque tous les systèmes qui incluent un PCB dans leurs compositions, tant que ça répond à l'ensemble des besoins exigés.

I.4.1 Les produits électroniques grand public

- Dans les smartphones, téléviseurs, tablettes, consoles de jeu, les appareils audio et photos, les ordinateurs, etc,
- Pour des modules (kit) à fonctionnalités spécifiques, tels que les modules communication sans fil (WIFI, Bluetooth, etc.), modules de traitement d'images ou de signal ou les modules audio,

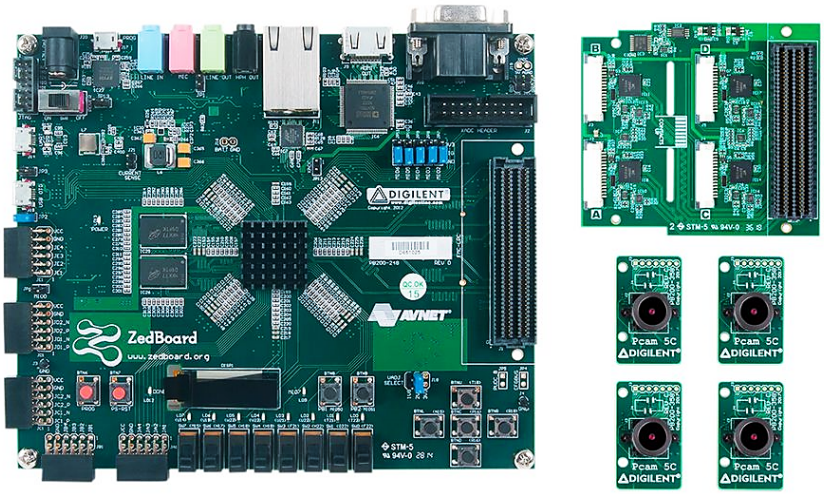


FIG. I.3 : Kit de traitement d'image avancé ZedBoard.

- L'application dont la modularité a été le plus marquée dans le domaine de l'électronique et les PC modulaires. La caractéristique de ces derniers réside sur le fait que les composants sont intégrés séparément. Ce concept est né afin de répondre aux exigences des utilisateurs, après l'évolution rapide des mises à jour des systèmes et le lancement des nouvelles versions matérielles et logiciels [8].

  On peut citer comme exemple les deux entreprises :

a. **Framework** fondé en 2020, en se spécialisant dans la fabrication des PC modulaire, parmi ses produits :
   - Framework Laptop 13 (Ryzen 5 7640HS),
   - Framework Laptop 13 (Ryzen 7 7840HS),
   - Framework Laptop 13 (11, 12 et 13émè génération Intel Core i5 et i7),
   - Framework Laptop 16 [9], [10].

b. **Dell** qui a introduit un projet de recherche d'un ordinateur portable modulaire au début de l'année 2022 baptisé Luna [11],[12].

I.4.2 Télécommunication

La modularité peut s'intégrer dans toutes sortes d'équipements de transmission, tels que les routeurs, commutateurs (Switch), concentrateurs (Hub) et même les antennes.

I.4.3 Gestion d'énergie

Les PCB modulaires sont utilisés dans les systèmes de production des énergies renouvelables, par exemple dans les panneaux solaires et les éoliennes (systèmes de surveillance et contrôle d'énergie).

I.4.4 Automobile

Récemment, les véhicules modernes sont équipés de plus en plus de systèmes électroniques embarqués sous forme modulaire, afin d'avoir une facilité d'intégration et une maintenance plus efficace. Par exemple : les systèmes de navigation, de divertissement ou de gestion du moteur, des capteurs, etc.

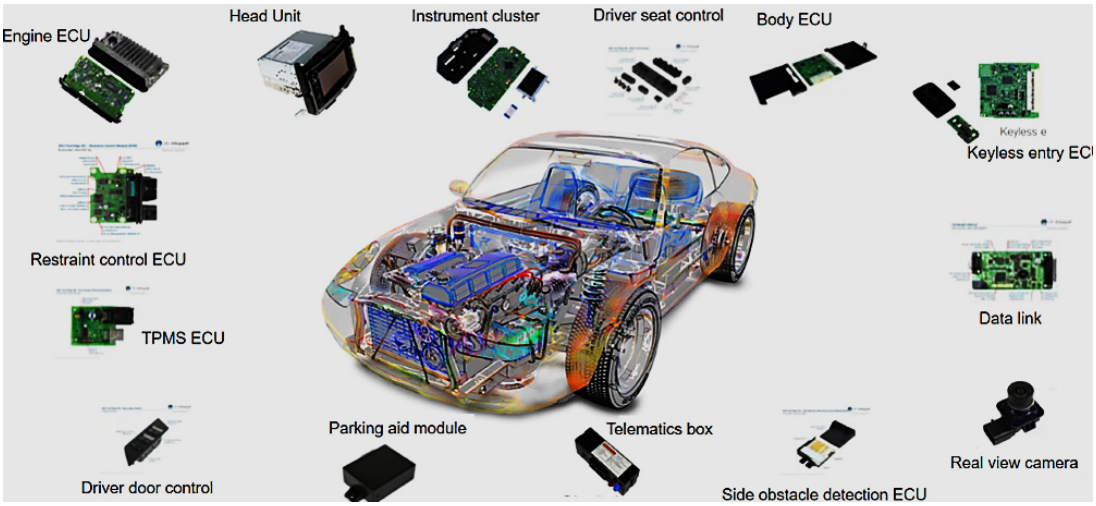


Fig. I.4 : Les unités de contrôle électronique automobile [13].

I.4.5 L'industrie

Pour réduire le coût de développement chez les industries, les circuits imprimés modulaires représentent une solution adéquate et pourront être utilisés dans les interfaces homme-machine IHM, les systèmes de contrôle ou de surveillance.

I.4.6 Domaine médical

Le domaine de santé est lié directement avec la vie des gens, cela nécessite la réduction maximale du temps d'arrêt des équipements médicaux dans le cas d'une panne. Le choix d'une construction modulaire des PCBs présente une solution efficace à cette problématique. On peut prendre l'exemple des équipements d'imagerie médicale ou les systèmes de diagnostic. En revanche, il faut savoir que la modularité peut ne pas être utilisée dans le cas des équipements qui fonctionnent en temps réel comme les moniteurs de surveillance.

I.4.7 Aérospatiale et défense

À titre d'exemple, les radars, les drones, les avioniques, les navires et les systèmes de navigation.

Tous les exemples cités avant ne représentent qu'une petite partie d'un large domaine d'utilisation de la modularité des PCBs. Cela est dû aux différents avantages présentés par cette approche.

I.5 Conclusion

La méthodologie de conception de circuits imprimés modulaires est une approche qui a pour objectif de simplifier et de rationaliser le processus de conception des PCBs, ces derniers seront conçus d'une façon plus fiable et performante dans une courte durée, ceci est réalisé en appliquant une division sous forme de modules distincts et interconnectés.

Le concept de la modularité est adopté dans plusieurs et différents domaines, cela est dû aux avantages qui peuvent être offerts par un PCB modulaire. Les plus remarquables sont :

- Le recyclage et la réutilisation des modules préconçus, afin de réduire le temps et l'effort durant le développement de nouveaux designs,
- L'efficacité des tests qui sont effectués et validés individuellement pour chaque module avant d'entamer le rassemblement du produit final,
- L'innovation avec une possibilité de modification ou mise à niveau rapide selon chaque demande,
- L'augmentation de fiabilité,
- La flexibilité de conception,
- La rapidité de la maintenance.

Il sera possible de réaliser toutes ces améliorations avec un coût minimal comparativement à une méthode de conception monobloc (intégrale).

Progressivement, avec l'évolution technologique et électronique, la méthodologie de conception des PCBs modulaires poursuit une amélioration remarquable afin de répondre aux exigences croissantes des utilisateurs, et de s'adapter aux tendances futures de l'industrie. Ces développements mèneront à une meilleure collaboration entre les concepteurs dans la conception de circuits imprimés modulaires.

Chapitre II

Conception des Circuits imprimés (PCBs).

II.1 Introduction

Le monde de la conception des circuits imprimés a connu une évolution croissante, rapide et passionnante. Avant que les circuits imprimés ne soient inventés, la fabrication des systèmes électroniques se faisait manuellement, en connectant les composants point à point avec des fils individuels sur un châssis métallique. Ceci a entraîné à cette époque une production encombrée, coûteuse, fragile qui ne répondait pas à un large intervalle d'exigences. À l'issue de la Seconde Guerre mondiale, et suite à l'invention des transistors et des circuits imprimés, des progrès significatifs ont été aboutis à l'échelle technologique.

Grâce à ses inventions, les cartes de circuits imprimés ont révolutionné la fabrication des systèmes électroniques, ceci a conduit au développement de plusieurs méthodes novatrices. Afin de créer des produits modernes tels que le circuit imprimé multicouche, multicartes (modulaires) ainsi qu'à une production de masse de circuits électroniques.

L'objectif de ce chapitre est de plonger au cœur de la conception des PCBs et d'explorer les principes de base, les méthodes, les étapes et les outils utilisés pour transformer un ensemble des composants électroniques séparés en un système complet et fonctionnel qui répond à un besoin demandé dans les deux cas monobloc et modulaire.

II.2 Circuits imprimés PCB

Les circuits imprimés sont des éléments fondamentaux de l'électronique moderne, pratiquement présents dans tous les appareils électroniques, adaptés aux différentes utilisations telles que pour les équipements industriels, le milieu médical et aéronautique, ou pour les automobiles. L'utilisation des circuits imprimés a pour objectif de connecter les composants électroniques en utilisant des pistes conductrices. En général, Le plan de conception d'un projet de carte de circuits imprimé exige un travail dur et acharné, nécessite la condition d'avoir des connaissances requises[14].

II.2.1 Structure d'une carte de circuit imprimé

Une carte de circuit imprimé présente généralement une structure rigide contenant des composants électriques dotés de surfaces métalliques intégrées appelées les pistes, et des zones métalliques qui représentent les plans. Les composants sont soudés et connectés via des pastilles métalliques (tampons). Les PCBs sont constituées de matériaux diélectriques à faible conductivité, entrecoupés de couches métalliques et diélectriques supplémentaires selon les besoins pour assurer un transfert de circuit pur. Le diélectrique utilisé dans les est le FR4 (Flame Retardant 4) c'est un composite ignifuge de fibre de verre tissé et d'époxy. [15].

II.2.2 Concept de superposition des couches de PCB

La carte de circuit imprimé se compose généralement d'un mélange complexe entre du cuivre ainsi qu'un substrat (diélectrique). Ceci en incorporant une petite quantité de

résine pour établir une connexion fiable entre toutes sortes d'équipements électroniques. Dans les circuits imprimés, plus il y a de couches successives, plus les fonctionnalités, les performances et la puissance s'accroissent [16],[17].

II.2.2.1 PCB Monocouche

C'est un type de carte de circuit imprimé qui est produit avec une seule couche de matériau conducteur (généralement en cuivre) sur un côté, tandis que l'autre est utilisé pour fixer différents composants électroniques à la carte. Ce type de PCB est constitué d'une couche de substrat, une couche conductrice métallique, un masque de soudure protecteur et un écran en soie, qui est utilisé pour fabriquer une planche complète composée de tampons, Vias, trous de montage, fils, composants, connecteurs, remplissage et limites électriques [18].

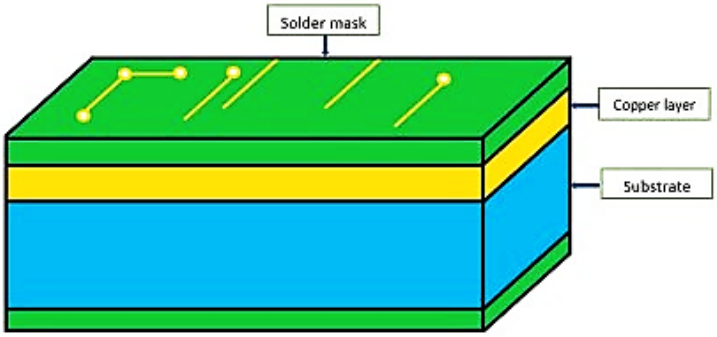


Fig. II.1 : Structure de PCB monocouche [19].

Les PCB monocouches trouvent des applications dans des appareils électroménagers simples comme les machines à café, les radios, les calculatrices, ainsi que les systèmes d'appareil photo simple.

Avantages	Inconvénients
- Cout de fabrication bas. - Plus rapide et facile à concevoir. - Moins de risque d'erreurs. - Etapes de la fabrication seront plus simples. - Meilleur choix pour la production rapide à volume élevé. - Rentable pour la production d'appareils destinés au grand public. - Ideal pour les conceptions à faible densité.	- Pas assez d'espace et de points de connexion pour les cartes de circuits imprimés qui nécessitent de nombreux composants. - Vitesse plus lente et capacité de fonctionnement inférieur. - L'ajout de fonctionnalités se traduit par une taille plus grande et un poids plus élevé.

Tab. II.1 : Les avantages et inconvénients de PCB monocouche. [18]

II.2.2.2 PCB Multicouches

Les circuits imprimés multicouches sont créés en utilisant un processus, qui intègre plusieurs couches d'isolant entre deux surfaces conductrices. Une fine couche de diélectrique se trouve entre chaque deux couches. Afin de composer une seule carte de PCB, un processus de stratification (lamination) sera appliqué sur toutes les couches qui composent le circuit imprimé. Ceci est fait en exposant ces derniers à une haute pression et température. Un nombre impair de couches pourrait entraîner une torsion ou une déformation après la soudure, il est donc conseillé d'utiliser un nombre pair de couches.

Les types de connexions électriques entre les couches du PCB multicouches sont :

- **Trous métallisés (Through hole via) :** Une autre appellation est utilisée, les trous traversants plaqués PTH (Plating Through Hole). Ce type est utilisé pour avoir une connexion entre les deux couches externes.
- **Via aveugle (Blined via) :** Afin de connecter une couche externe (celle du haut ou du bas) avec une couche interne.
- **Via enterré (Buried via) :** Pour relier deux couches internes [19].

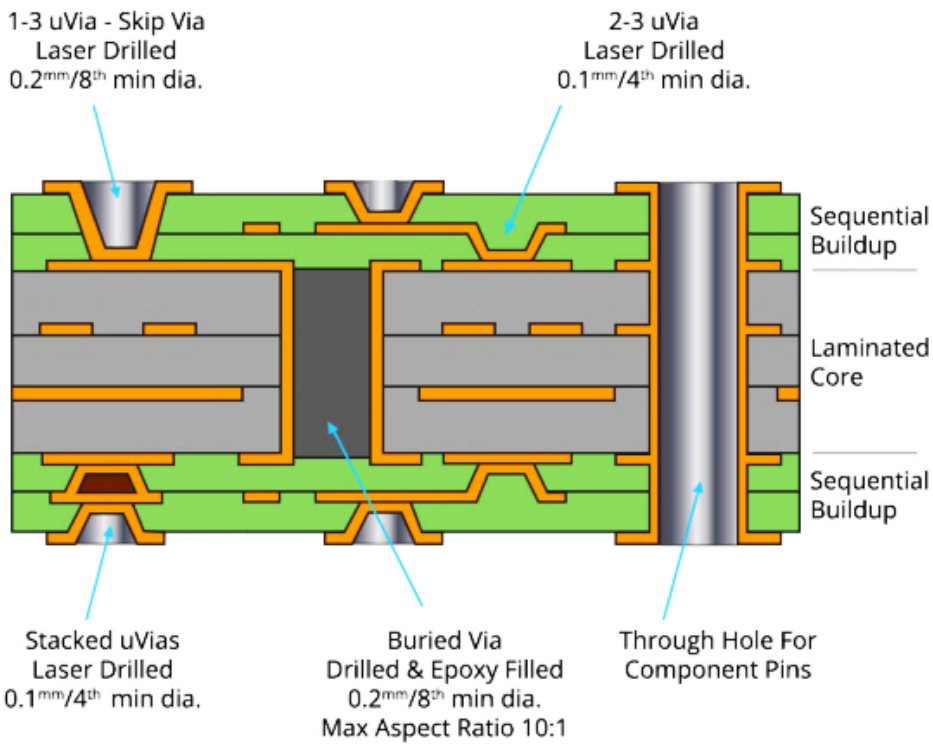


Fig. II.2 : Structure de PCB monocouche [20].

Les applications des PCBs multicouches comprennent les ordinateurs, la technologie GPS (Global Positioning System), les systèmes satellites, les appareils portables, les équipements médicaux tels que les appareils à rayons X, les moniteurs cardiaques, transmission de signal et une foule d'autres appareils de haute technologie.

Avantages	Inconvénients
- Offrant plus d'espace et des connexions supplémentaires - Rend la carte adaptée aux appareils complexes qui nécessitent des circuits et des composants supplémentaires. - Résister à une manipulation délicate et durer plus longtemps. - La densité supplémentaire de PCB multicouches les rendent utiles pour les appareils à forte intensité énergétique.	-Nécessitent du matériel, une expertise et un temps supplémentaires pour formuler. - Coût plus cher qu'un PCB monocouche. - Les exigences complexes du processus de superposition font que les cartes multicouches prennent plus de temps à se développer. - Difficultés de réparation, les couches internes qui ne sont pas visibles de l'extérieur rendrait difficile la localisation de la source du problème.

Tab. II.2 : Les avantages et inconvénients de PCB multicouches. [18]

II.2.3 Types des circuits imprimés

II.2.3.1 PCB Rigides

Représente la plus grande majorité des circuits imprimés, le layout de la carte est contenue dans le substrat rigide. Le matériau diélectrique utilisé est le FR-4, cela peut être modifié pour avoir une certaine amélioration dans la carte [15].

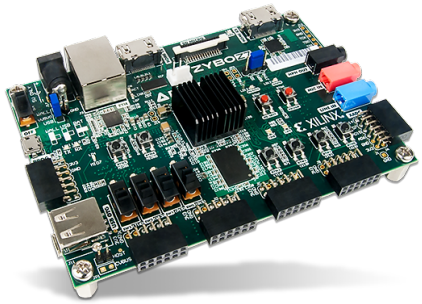


Fig. II.3 : ZYBO Z7 – PCB rigide [21].

II.2.3.2 PCB Flexible

Constitué d'un matériau moins rigide permettant d'avoir un circuit malléable, composés d'une feuille de cuivre laminé recuit (RA) et d'un film plastique flexible. Ce type permet au PCB de s'adapter à une forme quelque conque, avec une épaisseur inférieure à celle d'un PCB rigide standard [15].

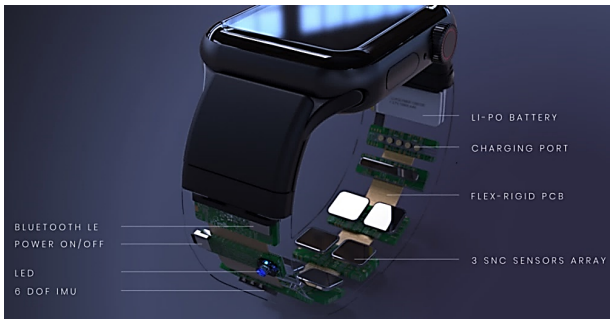


Fig. II.4 : Smart watch - PCB flexible.

II.2.3.3 PCB Flex- Rigide

Un design innovant qui combine les propriétés de deux types de circuits imprimés distincts, nommé par un PCB flexible-rigide ou hybride. Utilisé dans des applications nécessitant de la souplesse[22].

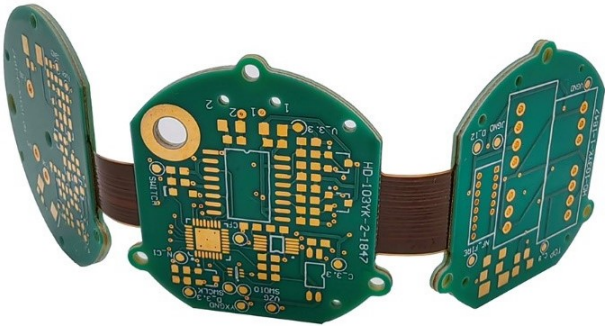


Fig. II.5 : PCB flex-rigide.

II.2.3.4 PCB À noyau métallique

C'est une sorte d'une ramification des conceptions de cartes rigides, avec une capacité supplémentaire de dissiper la chaleur tout le long la carte afin de protéger les circuits sensibles. Ce type est utilisé pour les conceptions à courant élevé pour éviter défaillances thermiques et les l'usure [15].

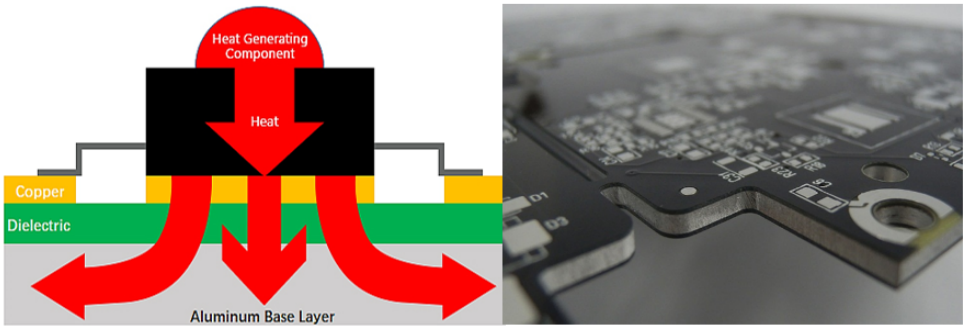


Fig. II.6 : PCB à noyau métallique.

II.2.4 Processus de conception des PCBs monoblocs

La conception de PCB peut être généralisée en tant que capture schématique, placement des composants, routage, fabrication et assemblage de PCB, mais les détails de chaque étape citée ci-dessous sont très complexes.

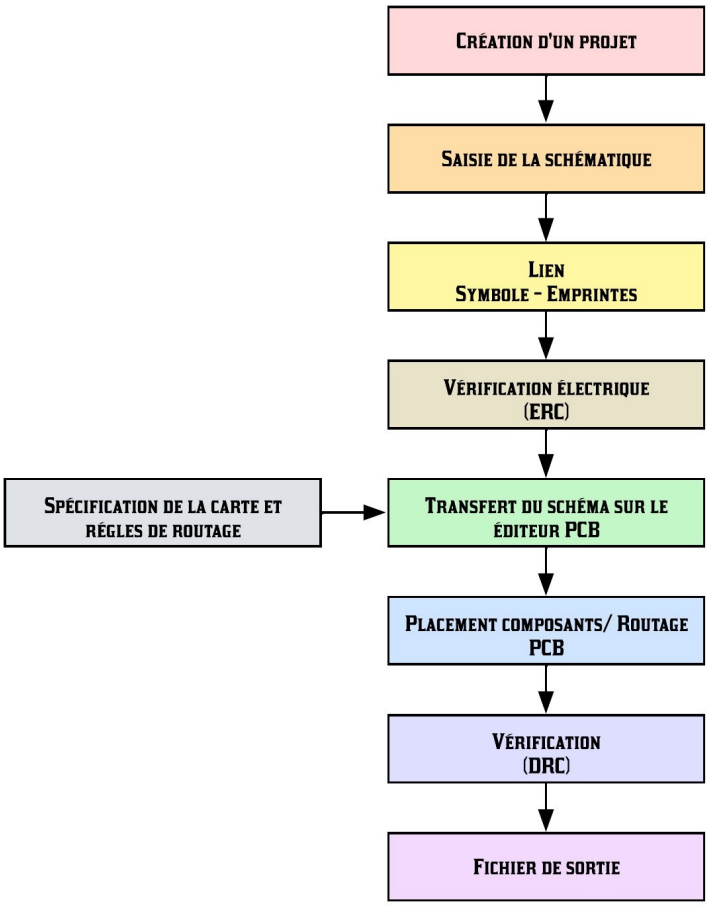


Fig. II.7 : Flot de conception des PCBs.

- **Développement de la bibliothèque**
- **Configuration des outils CAO**
- **Création de schéma électrique**

À la fin de cette étape, un test ERC sera effectué, dans le but de vérifier la présence des erreurs au niveau de branchement électrique.

- **Layout**

C'est le placement des empreintes des composants en prenant compte la forme et les dimensions de la carte. Il faut prendre en considération tout ce qui peut influencer le fonctionnement en étant attentif aux zones de chaleur excessive, à la connectivité, au bruit ainsi que les perturbations électriques et électromagnétiques [14],[15].

- **Routage**

Cette étape consiste à connecter les empreintes des composants, reliées avec des pistes. Les différents paramètres à pendre en considération :la largeur et l'épaisseur des pistes,

diamètres des Vias, l'espacement entre chaque tampon du composant (Pad), etc.

- **Vérification finale** Un test DRC sera appliqué à cette étape comme une vérification finale des règles de conception. La mise en place des différents textes et les marquages sera effectué, ces derniers seront sérigraphiés sur les couches extérieures du PCB [14],[15].

- **Simulation du circuit**

- **Génération de fichier de conception et de données de sortie**

- **Fabrication**

Ce processus consiste à graver les pistes avec les plans sur les couches de métal, puis les comprimer ensemble, pour obtenir une carte vierge qui sera chargée avec les composants cités dans la BOM liste. Puis passe par différents processus de soudage, selon le boitier de composant utilisé [20], [21].

- **DFMA (Design for Manufacturing and Assembly)**

Conception pour la fabrication et l'assemblage DFMA est une méthodologie de conception qui a pour but, la réduction des coûts et de la durée de production. La DFMA est basé sur deux méthodologies distinctes : la conception pour la fabrication DFM et la conception pour l'assemblage DFA (Design for Assembly) [23],[24].

II.2.5 Processus de conception des PCB modulaire

Avec les défis actuels liés à la chaîne d'approvisionnement, un système modulaire pourrait être une option intéressante. Le concept de la modularité est un aspect avec l'objectif de diviser un système entier en plusieurs modules, relié avec des connecteurs ou câbles. Cette tendance est mise en valeur par des plates-formes telles qu'Arduino, Raspberry Pi et BeagleBoard, permettant de connecter des modules indépendants pour former des systèmes complets [7].

Pour réussir la conception modulaire, il est nécessaire de prendre en concideration les points suivants. Dans le but d'aboutir à une conception correcte :

- **Fractionnement du circuit**

Avant la conception, il faut décider la façon dont le système sera divisé en module, la fonction de chacun et comment ces derniers seront connectés.

- **Liaison entre les modules**

Il faut choisir le type de connexion entre les modules. Qui sera effectué soit en empilant les modules avec des connecteurs ou bien en les liant par des câbles.

- **Évolutivité**

Durant la phase de création du schéma, il faut penser à l'aspect d'évolutivité et aux futures applications possibles. Par exemple, dans le branchement d'un SoC (System on Chip) composé de 150 pins minimum. La majorité des broches I/O sont déconnectées, cependant il est préférable de les acheminés vers les connecteurs pour un usage futur.

- **Précision de dimension**

Avoir les bonnes coordonnées lors de la conception modulaire est un point détermi-

nant. Par exemple, il y a une possibilité que les modules ne puissent pas être assemblés dans le cas d'un mal alignement des connecteurs de quelques millimètres, ou bien que l'ensemble de modules dépasse la taille du boitier. Pour éviter tout cela, il est recommandé d'utiliser un logiciel de conception, qui prend en charge l'intégration ECad-MCad (Electronics Computer Aided Design-Mechanical Computer-Aided Design). Afin de vérifier les contraintes mécaniques en utilisant une visualisation 3D [25].

II.3 Conclusion

La conception des circuits imprimés est un mélange d'art et de science, c'est une discipline complexe et critique pour le développement des produits électroniques. Un PCB bien réalisé garantit des performances optimales, une fiabilité élevée et une facilité de fabrication, cela fait appel aux différentes connaissances et prérequis :

- Il est primordial de comprendre les principes fondamentaux de l'électronique,
- La compréhension des notions de base pour la conception des circuits imprimés,
- La bonne maitrise des outils CAO, des logiciels de simulation et testent afin effectuer du PCB,
- Application de toutes les étapes de la conception des PCBs, en commençant par la création des schématiques jusqu'à la génération des fichiers de conception,
- Le respect des différentes règles de conception des PCBs, afin de garantir l'intégrité et l'acheminement correct des signaux électriques, pour éviter les pannes,
- Le respect des règles générales du DFMA afin d'avoir un produit final qui correspond aux exigences.
- Une exploration approfondie des notions clés de la conception des PCBs, qui servent de bse solide pour nos décisions de conception.

En matière de conception de circuits imprimés, différents types de conception sont envisageables. Parmi eux, la méthodologie de conception modulaire, qui bénéficie d'une flexibilité accrue, ainsi qu'une efficacité optimale. Cette méthode permet non seulement une meilleure gestion du temps, mais aussi un respect du budget.

Chapitre III

Conception du ModuZynq : Application Multimédia

III.1 Introduction

Au cœur de la création d'une carte de circuit imprimé (PCB) destinée aux applications multimédias de haute qualité, réside une étape vitale : la sélection minutieuse des composants. Notre projet considère pleinement cette mission critique et déterminante. Dans notre quête de l'excellence, nous sommes confrontés à un assemblage complexe composé de cinq composantes majeures, chacune ayant un rôle essentiel à jouer dans l'ensemble.

Notre objectif principal consiste à établir une harmonie entre ces composants, garantissant ainsi une connectivité optimale et une synchronisation parfaite. Cette approche orchestrée avec précision est la clé pour assurer le bon fonctionnement des applications multimédias.

Ce chapitre plonge au cœur du processus de sélection des composants, révélant les critères, les considérations et les défis qui ont guidé nos décisions. Chaque choix est examiné avec une grande attention, car il détient le pouvoir d'influencer de manière significative les performances et la fiabilité de notre PCB. Nous explorerons en détail le choix de l'unité de traitement, le rôle crucial des mémoires pour le stockage et le transfert de données, les dispositifs de stockage non volatils pour la sécurité des données, l'alimentation et le démarrage du système, ainsi que les interfaces de communication.

III.2 Description générale

Notre projet se concentre sur la conception d'une carte de circuit imprimé PCB destiné spécialement pour les applications multimédias et l'affichage de haute qualité. Cette carte électronique se base sur un assemblage complexe, composé de cinq parties principales, chacun de ces derniers joue un rôle crucial. Notre conception vise à assurer leur connexion efficace ainsi que leur synchronisation, afin d'avoir un fonctionnement adéquat et performant des applications multimédia. Les parties fondamentales de notre conception ModuZynq s'illustrent dans la figure III.1

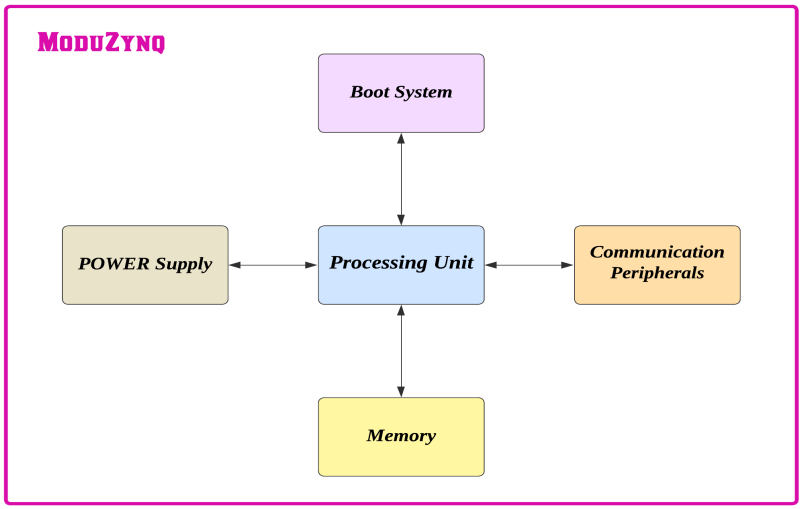


Fig. III.1 : Composition du Système ModuZynq.

Les cinq parties qui constituent notre produit ModuZynq sont :

- **Unité de process :** qui peut assurer des hautes performances en termes de vitesse

de calculer, flexibilité de programmation et capacité de calculer parallèle.

- **Source d'alimentation :** qui garantit une génération de différentes tensions stables, afin d'alimenter la totalité des composants qui constitue le ModuZynq.

- **Mémoire :** qui fournit un stockage suffisant pour l'affichage et les opérations de transferts fiables de données entre l'ensemble des composants.

- **Mode de Boot :** qui assure la programmation et le démarrage du système.

- **Périphérique de communication :** qui inclut les diverses interfaces matérielles, telles qu'un HDMI (High definition multimedia interface), Ethernet, USB et carte SD.

Dans ce qui suit, nous allons expliquer en détail les critères et les besoins prisent en considération dans notre conception. Ainsi que les raisons du choix des composants pour assurer le bon fonctionnement prévu de notre application.

III.3 Choix de composants

III.3.1 Unité de process

Pour mettre au point un système intégré fonctionnel, une variété de composants est utilisée. Notamment, il s'agit de processeurs, de mémoires et des appareils périphériques. La complexité du système dépend de l'objectif et l'application visée. Le choix de l'unité de process est l'un des plus complexes et des plus impliqués, car il affectera la puissance de calcul du système et la gestion efficace des périphériques et des autres composants au sein du système. L'unité de process choisi doit fournir les critères suivants :

- Des fonctionnalités de processeur pour effectuer une variété de tâches, liées à l'exécution des instructions et au traitement des données. Telles que les opérations arithmétiques, logiques et les transferts de données,

- Puissance de calcul élevée, afin d'être capable d'effectuer des opérations de traitement à temps réel avec une latence minimale, la comparaison, le décodage et l'affichage des médias. Dans le but d'assurer une lecture des vidéos et un traitement d'image de haute qualité,

- Une logique d'interfaçage personnalisée pour la lecture des vidéos, traitement du signal ainsi qu'une logique d'encodage,

- Une haute fréquence d'horloge, qui dépasse les 700 MHz. Cette valeur est justifiée par le fait que la Raspberry Pi, qui fonctionne à cette valeur de fréquence, n'est pas en mesure d'assurer une diffusion continue avec une résolution Full-HD (1080p),

- Des propriétés de processeur graphique, afin d'avoir un taux de rafraîchissement élevé et une qualité graphique améliorés,

- Traitement parallèle (pipeline), qui fait appel à un processeur multicœur ou bien un FPGA (Field-programmable gate array). Pour être capable d'exécuter des traitements simultanés, tels que l'audio et l'affichage.

En prenant compte de ce qui a été expliqué. Deux options sont disponibles, assurent un rapport qualité/prix, et convient le plus à notre application sont :

- Une association entre un processeur CPU (Central processing unit) avec une unité de process graphique GPU (Graphics processing unit).

- Un Système sur puce SoC (System on chip), constitué d'un processeur CPU et un FPGA.

III.3.1.1. Comparaison entre CPU/GPU et SoC : CPU/FPGA

• **Structure**

- Un CPU est une unité centrale de traitement intégrée à un système embarqué qui contrôle les fonctions de base. Ce dernier nécessite une mémoire externe et d'autres composants et périphériques tels qu'un GPU pour assurer un fonctionnement de haute performance,

- Le terme SoC fait généralement référence aux CPU avec plus nombre de périphériques et de fonctionnalités embarqués. Un SoC est un circuit intégré qui combine tous les composants d'un ordinateur en un seul système de substrat. C'est une encapsulation d'un ou plusieurs processeurs, mémoires, DSP (Digital signal processing), accélérateurs et matériel de support.

• **Optimisation d'espace**

- Les systèmes sur puce demandent moins de matières premières que leurs équivalents non intégrés, leur fonctionnement est plus économe en énergie et ils occupent moins d'espace,

- Les SoC fournie un niveau d'intégration très élevé, avec un nombre de puces physiques réduit qu'un CPU avec d'autres composants.

• **Personnalisation et flexibilité**

- Un système qui fonctionne avec CPU associé avec un GPU, a une structure matérielle fixe. Tous ses composants ainsi que leurs interconnexions sont prédéfinies. Ceci convient mieux à des applications pour un usage général,

- Pour un SoC qui intègre deux parties, processeur et FPGA, la structure matérielle n'est pas fixe (modifier selon l'application). À cause du pouvoir de personnalisation qui offrent les FPGA. Ceci permet de l'utiliser pour des applications compliquées et hautement techniques.

• **Puissance et capacité**

- Les processeurs sont adaptés au traitement séquentiel des informations. Ceci est moins puissant par rapport au traitement parallèle. C'est pour cela qu'une unité de process graphique GPU doit être associé au CPU, afin d'augmenter ces performances de calculs,

- Les GPU sont conçus dans le but d'afficher et traiter un nombre énorme de pixels, grâce à leur architecture composée de nombreux noyaux parallèles. Cependant, La capacité d'accéder directement à la mémoire du GPU pose un problème, dans le cas de son utilisation avec une application à haute performance d'affichage,

- Les FPGA ont la capacité de traitement parallèle, ils conviennent mieux aux applications nécessitant des vitesses de traitement ou une puissance plus élevée (les données vidéo haute résolution). Ils offrent vitesse supérieure, timing déterministe et un temps de boot rapide,

- Les SoC qui intègre une partie FPGA exécutent des programmes personnalisés téléchargés sur un PCB, avec une logique de niveau inférieur qui nécessite moins de puissance qu'un CPU ou un GPU [26],[27],[28].

• **Affichage avec port HDMI**

- Une conversion HDMI consistent à prendre un flux vidéo dans un format différent, et à le modifier de manière à ce qu'il puisse être envoyé à un téléviseur HD standard via HDMI. Sur un FPGA, il est possible de générer un pipeline pour traiter un ou plusieurs pixels par cycle d'horloge, et ceci de manière hautement déterministe. Afin que les données des pixels soient prêtes pour la transmission sur HDMI au bon timing [28].

En analysant tous les critères demandés pour notre application, ainsi que la comparaison effectuée entre les deux options proposées. Nous constatant que le meilleur choix, afin d'avoir un bon rapport qualité/prix, est d'utiliser un SoC. Ceci permet de fusionner les points fort d'un processeur et d'un FPGA. Dans ce cas, le CPU gère le traitement des problèmes liés aux données et contrôle les interfaces complexes. En revanche, le FPGA effectue les opérations mathématiques et les calculs plus compliqués.

La dernière étape pour choisir notre unité de process, consiste à faire une étude de marché afin d'avoir une idée sur la disponibilité des SoC. En partant sur cette recherche, nous avons choisi le système sur puce Zynq7010 (XC7Z010-2CLG400I), créé et développé par la société Xilinx.

Notre choix est basé sur la disponibilité, le prix, les dimensions, la puissance de ce dernier, ainsi que sa documentation et son outil de programmation (VIVADO) open source.

III.3.1.2 SoC : Zynq 7010

La famille Zynq est basée sur l'architecture Xilinx All Programmable System-on-Chip (AP SoC), qui intègre étroitement une partie processeur ARM Cortex-A9 (PS Processor system) à double cœur avec une partie logique programmable (PL) identique au Xilinx 7-series Field Programmable Gate (FPGA). La figure III.2 montre un aperçu de l'architecture du Zynq :

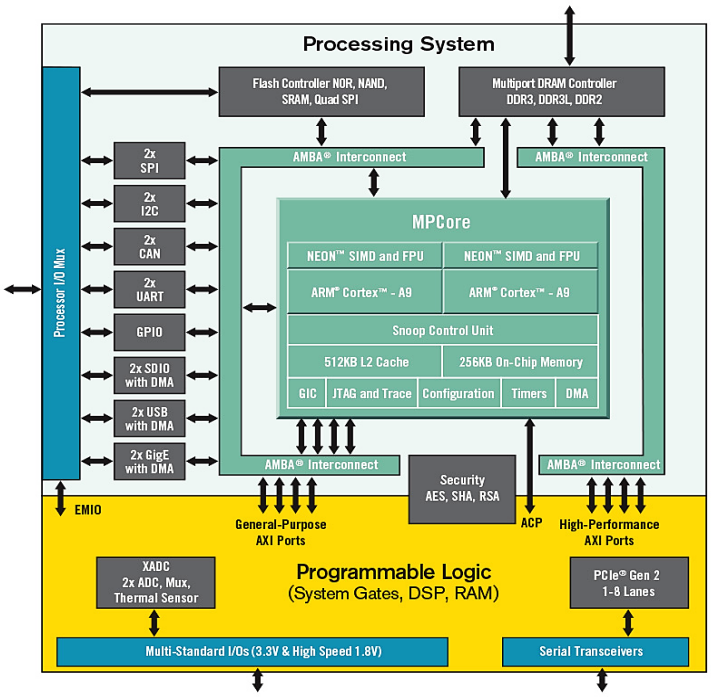


Fig. III.2 : Architecture interne du SoC-Zynq.

Le PL contient plusieurs ports et bus dédiés à un FPGA Artix 7, qui l'associe étroitement au PS. Cette partie est composée de :

- CLB (Configurable Logic Blocks) groupement d'éléments logiques,
- Matrices de commutation pour l'interconnexion des CLB,
- Input/Output Blocks IOB,
- Blocs de RAM,
- Blocs de traitement du signal numérique DSP48E1s,
- Bloc XADC.

En revanche, le PL ne dispose pas du même outil de configuration qu'un FPGA typique de la série 7. La configuration se fait soit directement par le processeur, ou via le port JTAG (. La figure III.3 indique les caractéristiques de la partie PL.

	Device Name	Z-7010	Z-7015	Z-7020
	Part Number	XC7Z010	XC7Z015	XC7Z020
Programmable Logic	Xilinx 7 Series Programmable Logic Equivalent	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA
	Programmable Logic Cells	28K	74K	85K
	Look-Up Tables (LUTs)	17,600	46,200	53,200
	Flip-Flops	35,200	92,400	106,400
	Block RAM (# 36 Kb Blocks)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (140)
	DSP Slices (18x25 MACCs)	80	160	220
	Peak DSP Performance (Symmetric FIR)	100 GMACs	200 GMACs	276 GMACs
	PCI Express (Root Complex or Endpoint)(3)		Gen2 x4	
	Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs		

Fig. III.3 : Caractéristiques de la partie PL [29].

La partie PS se compose de nombreux éléments, notamment l'unité de traitement des applications APU (Auxiliary power unit) qui inclut :

- Deux processeurs Cortex-A9,
- Un moteur de traitement multimédia NEON,
- Une unité de traitement à virgule flottante FPU,
- Une unité de management de mémoire MMU (Memory Management Unit) essentiel pour le fonctionnement du système d'exploitation OS comme LINUX,
- De la mémoire cache de niveau 1 et de niveau 2,
- De la mémoire OCM On Chip Memory,
- Une unité de contrôle SNOOP (Snoop Control Unit (SCU)).

Cette partie contient aussi l'interconnexion AMBA (Advanced Microcontroller Bus Architecture), le contrôleur de mémoire DDR3 et divers contrôleurs de périphériques dont les entrées et sorties sont réparties sur 54 broches dédiées (appelées broches I/O multiplexé MIO). Les contrôleurs de périphériques dont les entrées/sorties sont connectées à des broches MIO, peuvent être acheminé à travers la partie PL, via l'interface Extended-MIO (EMIO). La figure III.4 indique les caractéristiques de la partie PS.

	Device Name	Z-7010	Z-7015	Z-7020	Z-7030
	Part Number	XC7Z010	XC7Z015	XC7Z020	XC7Z030
Processing System	Processor Core	Dual-core ARM Cortex-A9 MPCore™ with CoreSight™			
	Processor Extensions	NEON™ & Single / Double Precision Floating Point			
	Maximum Frequency	667 MHz (-1); 766 MHz (-2); 866 MHz (-3)			667 MHz (-1
	L1 Cache	32 KB Instruction, 32 KB data per processor			
	L2 Cache	512 KB			
	On-Chip Memory	256 KB			
	External Memory Support(1)	DDR3, DDR3L, DDR2, LPDDR2			
	External Static Memory Support(1)	2x Quad-SPI, NAND, NOR			
	DMA Channels	8 (4 dedicated to Programmable Logic)			
	Peripherals(1)	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO			
	Peripherals w/ built-in DMA(1)	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO			
	Security(2)	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot			

FIG. III.4 : Caractéristiques de la partie PS [29].

Le Zynq7010 (XC7Z010-2CLG400I) contient 400 pins, réparties sur les 8 blocs suivants :

- Bank 500 et 501, pour les pins MOI de la partie PS,
- Bank 502, pour les pins destinés aux mémoires DDR du PS,
- Bank 0, pour les pins qui servent à la programmation et configuration,
- Bank 34 et 35, pour les pins I/O de la partie PL (FPGA),
- Bank pour les alimentations POWER et autre pour GND,

Tous les branchements des pins qui constituent ces blocs seront montrés et expliqués en détails dans ce qui suit (chapitre 4).

III.3.2 Mémoire

Le ModuZynq se compose de trois types de mémoires, chacune de ces derniers assure une/plusieurs fonctions :

- DRAM-DDR,
- NAND Flash-eMMC,
- NOR Flash-QSPI,
- Carte SD (mémoire détachable pour la communication).

III.3.2.1 SDRAM-DDR

Le système sur puce Zynq7000 utilisé peut supporter deux générations de mémoire DDR externe (DDR2, LPDDR2, DDR3 et DDR3L). Le meilleur choix qui pourrait être utilisé dans ce cas est la mémoire DDR3L.

DDR3 (Double Data Rate 3 Voltage) est la 3émè génération de technologie de mémoire DDR que le JEDEC a lancé en 2007. Les points forts pour ce type de mémoire sont :

- L'utilisation d'une fréquence plus élevée, avec une tension de fonctionnement plus basse et une haute capacité de mémoire,
- Performances meilleures, coûts réduit, qualité des données améliorée,
- La fréquence de fonctionnement de la DDR3 est comprise entre 400 et 1066 MHz,
- Le taux de transfert de données associé passe de 800MT/s à 2133MT/s,
- Pour supporter une fréquence d'horloge plus élevée, la DDR3 utilise une tension de fonctionnement plus faible (1,5/ 1.35V). La consommation d'énergie est inférieure de 30% à celle de la DDR2,
- Intégrité du signal amélioré avec l'évolution vers une topologie "fly-by" (chaine),
- DDR3L est conçue pour fonctionner à des tensions 1,35V (inférieures qu'une DDR3 standard). Ceci permet de réduire davantage la consommation d'énergie et la dissipation de chaleur [30].

Dans notre choix, nous avions pris en considération les PCB qui ont été déjà créés et développés. La série couramment utilisée de DDR3 entre ces derniers est la MT41K. Une fois que nous avions fait notre choix de série, parmi les critères qui correspondent à nos besoins. Il faut utiliser le logiciel VIVADO, afin de savoir la vitesse maximale supportée par le Zynq7010. Dans la figure III.5 on peut constater que cette valeur vaut 1600 MT/s.

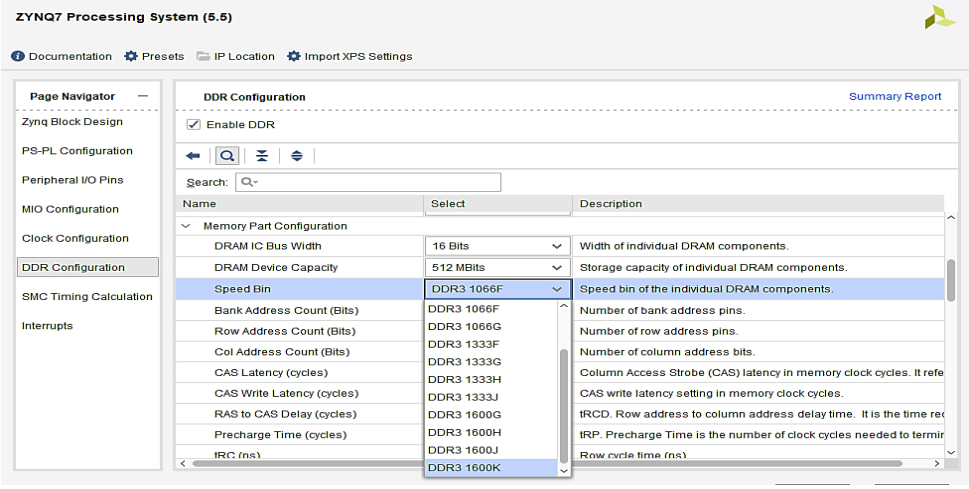


Fig. III.5 : Vitesse maximale du transfert Zynq 7010.

En passant par une analyse de marché (chez JLC, LCSC et Mouser) pour les mémoires DDR3L. Tout en considérant leurs propriétés intrinsèques telles que performance, coût et disponibilité. On a opté pour le choix du MT41K256M16TW-107_IT :P.

Cependant, que son débit de données vaut 1866 MT/s, cette dernière est backward compatibles avec des mémoires DDR3L ayant un taux de transfert de données de 1600MT/s. Ceci est montré dans la figure III.6.

Speed Grade	Data Rate (MT/s)	Target ^{t}RCD-^{t}RP-CL	^{t}RCD (ns)	^{t}RP (ns)	CL (ns)
-093 [1, 2]	2133	14-14-14	13.09	13.09	13.09
-107 [1]	1866	13-13-13	13.91	13.91	13.91
-125	1600	11-11-11	13.75	13.75	13.75

Notes: 1. Backward compatible to 1600, CL = 11 (-125).
2. Backward compatible to 1866, CL = 13 (-107).

Fig. III.6 : Les principaux paramètres de synchronisation du MT41K.

La série MT41K offre une variété d'options montrées dans la figure III.7 :

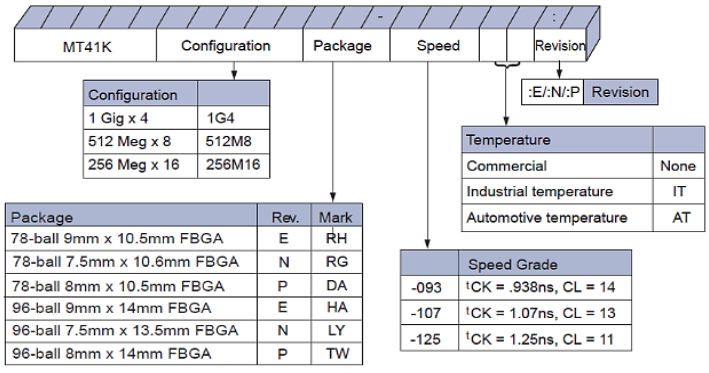


Fig. III.7 : La série DDR3L - MT41 [31].

III.3.2.2 NAND Flash-eMMC

eMMC est une spécification qui intègre un contrôleur de mémoire flash et une mémoire non volatile basé sur la technologie flash NAND dans un seul package. Généralement basé sur 32 Go ou 64 Go de stockage, et peut-être complétée par des options de stockage détachable telles que les cartes SD (Secure Digital) ou les cartes microSD.

C'est l'un des dispositifs de mémoire flash largement utilisés pour les appareils numériques modernes comme support de stockage pour :

- Les films, vidéo ou des images dans le cas d'une application multimédia,
- Enregistrement des informations relatives à l'utilisateur,
- Modules logiciels.

Le contrôleur embarqué se préoccupe de :

- La gestion des blocs défectueux,
- La compensation des pertes et les opérations de vérification,
- La correction des erreurs ECC (Error Correcting Code) [32],[33].

L'hôte (SoC) se charge uniquement des interactions avec l'eMMC pour le transfert de données. La figure III.8 illustre le bloc diagramme de la mémoire eMMC.

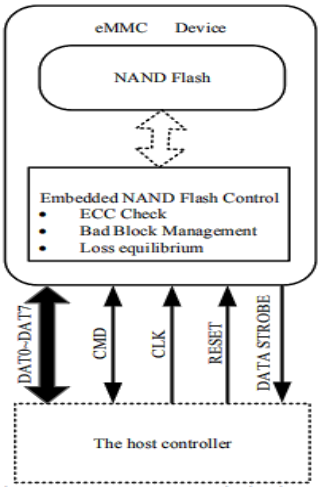


Fig. III.8 : Bloc diagramme de la mémoire eMMC.

• Interface SDIO

Le Zynq-7000 SoC dispose d'un contrôleur SDIO (Secure Digital Input/Output). Il s'agit d'une spécification d'interface point à point standardisée à haut débit, qui étend la fonctionnalité des mémoires Secure Digital (SD) ou d'une eMMC. Il assure une communication bidirectionnelle, en prenant charge des périphériques I/O.

L'interface SDIO offre divers avantages tels qu'une faible consommation d'énergie, une intégration facile avec une large gamme d'options de périphériques.La figure III.9 illustre le bloc diagramme d'une interface SDIO [34].

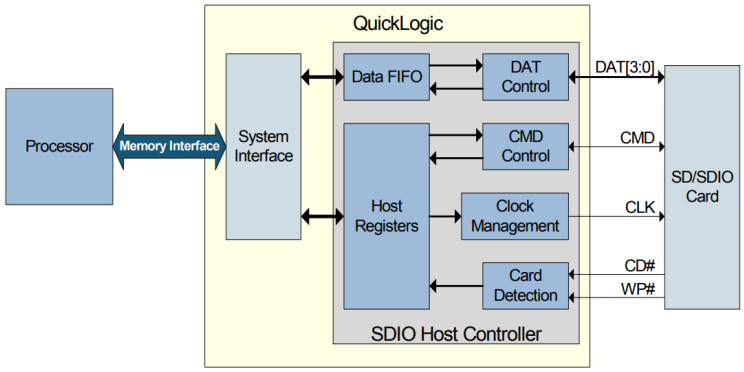


FIG. III.9 : Bloc diagramme d'une interface SDIO.

Le choix du type de mémoire eMMC est basé sur le guide d'utilisateur fourni par Xilinx (Vivado Design Suite User Guide : Programming and Debugging), qui met en disposition plusieurs NAND Flash supporté par le Zynq 7010. L'eMMC choisi dans notre conception, manufacturé par Micron est la MTFC64GAZAQHD-IT. Représente un dispositif de communication et de stockage de données en masse. Qui intègre une interface (MMC), un composant Flash NAND et un contrôleur sur un bus de 12 signaux. L'avantage d'eMMC est :

- Mémoire non volatile, qui ne consomme aucune énergie pour maintenir le stockage de données,
- Offre de hautes performances dans une large plage de températures de fonctionnement,
- Résiste aux chocs et aux vibrations.

Cette gamme met en disposition diverses options disponibles, représenté dans la figure III.10.

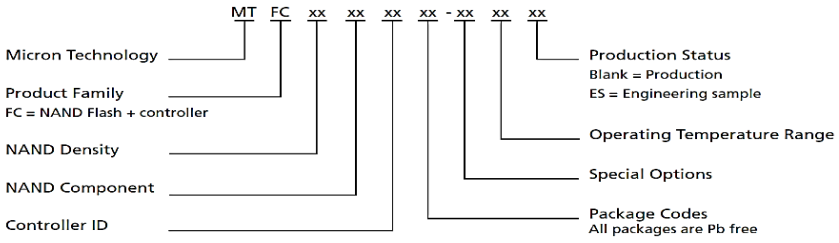


FIG. III.10 : La gamme eMMC-MTFC [35].

Les combinaisons montrées indiquent :

- Densité et stockage : **32G** pour 32GB / **64G** pour 64GB / **128G** pour 128GB,
- Stockage de composant NAND : **AZ** pour 256 Go,
- ID du Contrôleur de stockage : **AQ** ,
- Package conforme à la norme RoHS : **HD** VFBGA 153pins (11.5x13x0.9) mm / **JP** VFBGA (11.5x13x1) mm, avec un Pitch = 0.5mm),

- Température de fonctionnement : **WT** pour [- 25°C ;+ 85°C] / **IT** [- 40°C ; + 95°C].

Pour notre système, le stockage de l'eMMC choisi est 64GB. Cela afin d'avoir un stockage suffisant pour :

- Le cas de téléchargements de films ou des vidéos à haute qualité,
- Dans le cas d'utilisation de l'eMMC comme mode de Boot,
- Pour le stockage de système d'exploitation ainsi que les fichiers multimédias **3.10**.

III.3.2.3 NOR Flash-QSPI

La mémoire avec interface QSPI (Interface Périphérique Série Quadruple) est un type de mémoire NOR Flash non volatile. Fortement recommandée et utilisée dans les systèmes sans fil et les systèmes embarqués. Cette mémoire communique les données en se servant d'une interface Quad SPI. Représente une version améliorée du protocole SPI conventionnel, en offrant une vitesse de transfert plus élevée avec une meilleure performance.

La technologie QSPI remplace de plus en plus la mémoire flash NOR standard. Car il est possible d'utiliser plusieurs lignes I/O (habituellement quatre) simultanément, pour transmettre et recevoir des données grâce à cette interface.

Les mémoires NOR Flash peuvent atteindre des vitesses de transfert plus élevées, en exploitant des lignes de données parallèles. Ils sont adaptés aux applications qui requièrent des opérations de lecture/écriture rapides tels que :

- L'exécution directe de code XIP (eXcute In Place),
- Le stockage de Frimware, des paramètres de configuration et Bootloader qui permet le démarrage rapide [36].

La figure III.11 illustre le bloc diagramme de la mémoire QSPI.

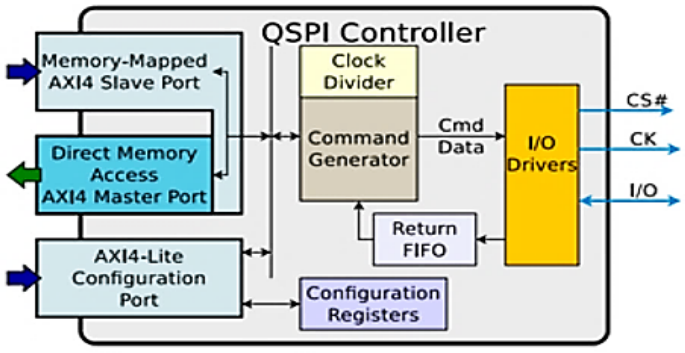


Fig. III.11 : Bloc diagramme de la mémoire QSPI.

Le choix de la mémoire NOR avec interface QSPI, était effectué en prenant en considération la disponibilité, ainsi que les tableaux mentionnés dans le guide d'utilisateur [37]. Contenant des listes qui indiquent les dispositifs Flash, compatibles avec la configuration des systèmes sur puce Zynq7010. Et qui peuvent aussi être contrôlés, programmés et vérifiés par le logiciel Vivado.

Interface	Manufacturer	Manufacturer Family	Device Alias	Density Mbits	Data Width Bits
QSPI	Winbond	w25h	w25h02jv	2,048	x1-dual_stacked, x1-single, x2-dual_stacked, x2-single, x4-dual_stacked, x4-single, x8-dual_parallel
QSPI	Winbond	w25q	w25q128fv [w25q128jv-qspi-x1-dual_stacked, w25q128jv-qspi-x1-single, w25q128jv-qspi-x2-dual_stacked, w25q128jv-qspi-x2-single, w25q128jv-qspi-x4-dual_stacked, w25q128jv-qspi-x4-single, w25q128jv-qspi-x8-dual_parallel]	128	x1-dual_stacked, x1-single, x2-dual_stacked, x2-single, x4-dual_stacked, x4-single, x8-dual_parallel
QSPI	Winbond	w25q	w25q128fw	128	x1-dual_stacked, x1-single, x2-dual_stacked, x2-single, x4-dual_stacked, x4-single, x8-dual_parallel

Fig. III.12 : Le choix du mémoire QSPI.

La mémoire NOR flash de la série W25Q128JV (128M-bit) offre une solution de stockage pour les systèmes ayant un espace, un nombre des pins et une puissance limitée. Le dispositif fonctionne sur une alimentation unique de 2,7 V à 3,6 V, avec une consommation de courant très faible pour la mise hors tension (1uA).

La série 25Q fournie une flexibilité et des performances bien supérieures aux dispositifs Serial Flash standards. Idéales pour le shadowing de code vers la RAM et l'exécution directe de code XIP via une communication série Dual/Quad SPI

III.3.3 Boot

Pour le Zynq7010, les modes de boot incluent deux modes de démarrage avec JTAG (Joint test action groupe) esclave, considéré comme un mode non sécurisé. La chaîne JTAG peut être configurée en mode cascade ou indépendant. Cette SoC dispose de quatre dispositifs fournis le mode de boot maître. Ceci est effectué lorsque le système démarre à partir d'un dispositif de mémoire flash :

- NOR-Quad-SPI,
- Carte mémoire SD,
- NAND-eMMC,
- NOR standard.

III.3.4 Interface de communication

Les interfaces de communication jouent un rôle crucial dans les applications multimédias en permettant toute sorte d'opération de transmission, la connectivité ainsi que le partage de contenu audiovisuel. Le système ModuZynq intègre et met en valeur quatre interfaces essentielles pour notre application.

III.3.4.1 HDMI (High-Definition Multimedia Interface)

Représente un standard pour la transmission et l'affichage audiovisuel de haute qualité. Permet de brancher un encrant de téléviseur ou un moniteur avec un seul câble, pour avoir des images avec de bonnes résolutions (Full HD, 2K, 4K, etc) et de son excellent.

L'interface multimédia haute définition (HDMI) est la structure de base pour l'interface audio/vidéo entre les machines électriques ou les appareils compatibles avec la vidéo. Aujourd'hui, les HDMI sont largement utilisés pour distribuer les signaux audiovisuels pour diverses applications. La figure III.13 illustre l'Architecture HDMI.

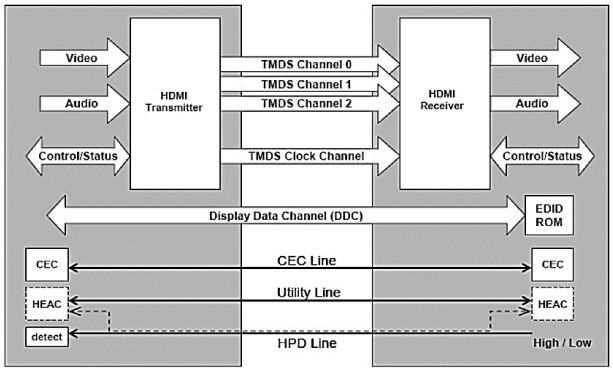


Fig. III.13 : Architecture de l'interface HDMI.

Le protocole Consumer Electronics Control (CEC) est un élément important de la norme HDMI, qui permet l'interaction entre les appareils au sein d'un réseau de distribution HDMI.

La spécification HDMI est basée sur la technologie de codage et de signalisation TMDS (Trasition minimized differential signaling). Une liaison de cette technologie se compose d'un seul canal d'horloge et de trois autres de données. Un algorithme avancé de codage des données, mis en œuvre sur chacun des trois canaux de données, convertit 8 bits de données vidéo en une séquence de 10 bits à transition minimisée et à courant continu équilibré. Cela rend la transmission très robuste, tout en minimisant les interférences électromagnétiques sur les câbles en cuivre [38].

- **MUX/DMUX :TS3DV642**

Notre PCB ModuZynq est composé de deux ports HDMI TX. La sélection de ces derniers se fait par un multiplexeur HDMI TS3DV642 configuré comme un simple switch. Ce dispositif sert aussi pour empêcher les écrans de rétro alimenter le système, et n'a aucun effet sur la fonctionnalité.

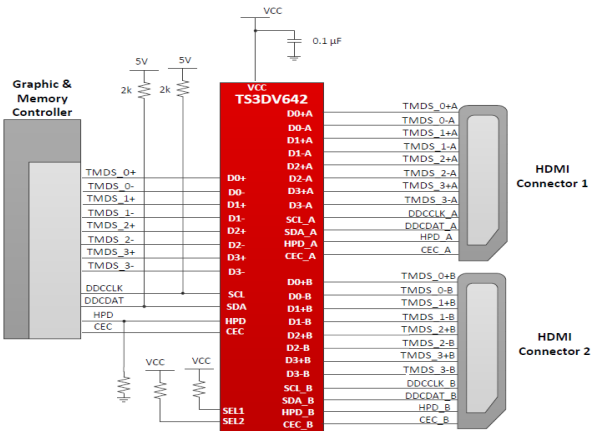


Fig. III.14 : MUX/DMUX TS3DV642 avec deux ports HDMI activés [39].

Le choix entre les deux ports s'effectue avec les broches SEL[0:1] et EN, en suivant les indications de la figure III.15 :

EN	SEL1	SEL2	FUNCTION
L	X	X	Switch disabled. All channels are Hi-Z.
H	L	L	Channel D0+/D0– to D0+A/D0–A is ON. All the other channels (D1+/D1-, D2+/D2-, D3+/D3-, SCL, SDA, HPD, CEC) are Hi-Z.
H	L	H	Channel D0+/D0– to D0+B/D0–B is ON. All the other channels (D1+/D1-, D2+/D2-, D3+/D3-, SCL, SDA, HPD, CEC) are Hi-Z.
H	H	L	All A channels are enabled. All B channels are Hi-Z.
H	H	H	All B channels are enabled. All A channels are Hi-Z.

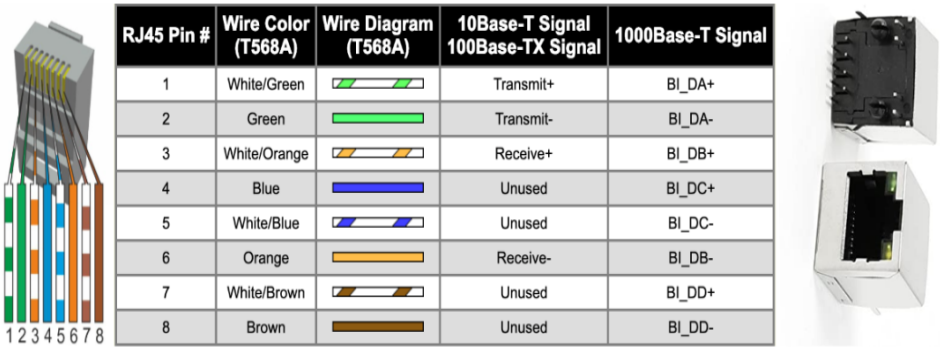
Fig. III.15 : Principe de sélection des HDMI [39].

III.3.4.2 Ethernet

Associé à la connectivité internet et utilisé principalement pour les téléviseurs smart. Qui permet la diffusion des vidéos en ligne, avoir un accès aux navigations sur internet et surtout aux services multimédias basés sur cloud.

Le protocole Ethernet a été standardisé au cours des années 1980, et a progressivement évolué d'une vitesse de 10 M à 10 Gbit/s. Selon la technologie actuelle, Fast Ethernet (100BASE-TX) et Gigabit Ethernet (1000BASE-T) sont des normes relativement courantes, dans le cas où le fil de cuivre (paire torsadée) est le support physique de la transmission. En revanche, les câbles à fibres optiques permettent d'atteindre une capacité de communication de plus de 10 Gbits/s.

Les prises et les fiches de type RJ-45 sont utilisées depuis le début pour les interfaces Ethernet. La structure de câble la plus courante est les paires torsadées non blindées (UTP).



RJ45 Pin #	Wire Color (T568A)	Wire Diagram (T568A)	10Base-T Signal 100Base-TX Signal	1000Base-T Signal
1	White/Green		Transmit+	BI_DA+
2	Green		Transmit-	BI_DA-
3	White/Orange		Receive+	BI_DB+
4	Blue		Unused	BI_DC+
5	White/Blue		Unused	BI_DC-
6	Orange		Receive-	BI_DB-
7	White/Brown		Unused	BI_DD+
8	Brown		Unused	BI_DD-

Fig. III.16 : Signaux du connecteur Ethernet RJ45.

Comme le montre cette figure, les câbles UTP comportent quatre paires torsadées et différentielles (voir annexe D). Tandis que l'Ethernet 10/100 Mbps n'utilise que deux paires, et le Gigabit Ethernet exploite la totalité des paires, pour des communications en duplex intégral. Ce dernier se distingue du Fast Ethernet par le sens bidirectionnel des quatre paires utilisées. Si le support de transmission est un câble UTP, le PHY doit disposer d'une interface MDI (Medium Dependent Interface) appropriée pour les magnétiques et le connecteur RJ-45 [40].

La majorité des microprocesseurs et des systèmes sur puce SoC de haute gamme (NXP i.MX6 et i.MX8, Xilinx Zynq-7000 SoC, TI Sitara) disposent d'un contrôleur MAC gigabit intégré, afin de gérer le transfert de données à large bande passante dans la couche réseau en interne. Dans notre cas, le MAC est mis en œuvre dans le système de traitement ZYNQ (PS), et le PHY utilisé est RTL8211F.

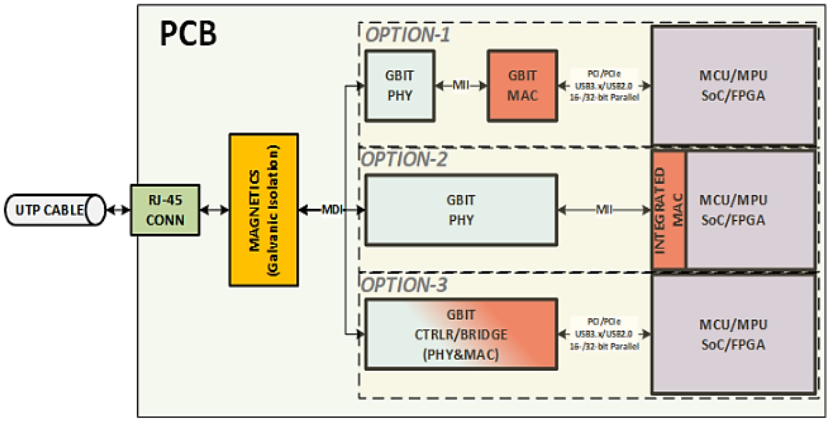


Fig. III.17 : Option de configuration du Gigabit PHY [40].

- **PHY : RTL8211F**

La gamme Realtek RTL8211F-CG/RTL8211FD-CG/RTL8211FI-CG/RTL8211FDI-CG est un émetteur-récepteur Ethernet à haute intégration, fabriqués selon les normes industrielles et conforme aux normes 10Base-T, 100Base-TX et 1000Base-T du standard IEEE 8023. Ce composant assure toutes les fonctions nécessaires de la couche physique pour transmettre et recevoir des paquets Ethernet sur un câble UTP (CAT.5).

Des fonctions telles que la détection de croisement, l'autocorrection, la correction de la polarité et des erreurs, l'égalisation adaptative, l'annulation de la diaphonie (crosstalk) et d'écho, la récupération de la synchronisation et la correction des erreurs sont tous implémentés dans le RTL8211F(I)/RTL8211FD(I) pour fournir des capacités de transmission et de réception robustes à 10Mbps, 100Mbps ou 1000Mbps [40].

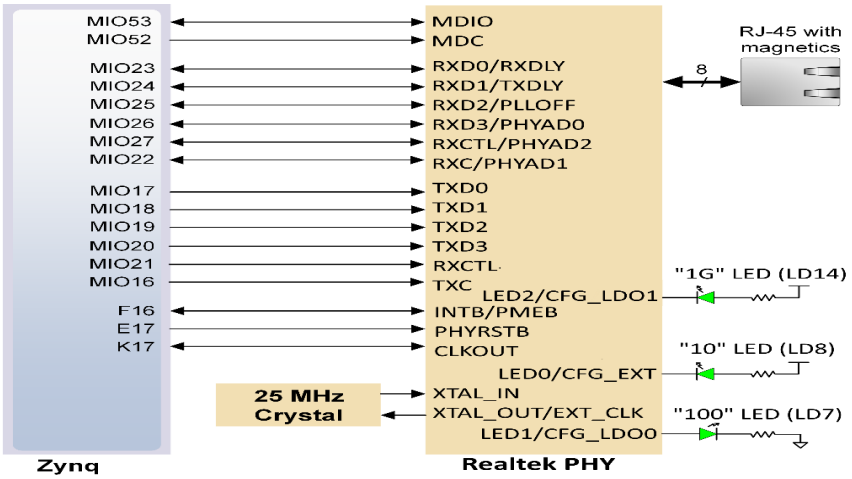


Fig. III.18 : Connexion (Zynq) - PHY (RTL8211F).

III.3.4.3 Carte mémoire SD

Une carte mémoire est un appareil électronique détachable permettant l'enregistrement, le stockage et le transfert de données numériques. Dans notre application, ce dispositif est utilisé comme un mode de boot, ou bien pour avoir un support de stockage qui offre une capacité supplémentaire, afin de stocker les images, vidéos et les fichiers audios.

Parmi la gamme des supports de stockage, on retrouve une variété de formats de carte mémoire, incluant les génériques tels que les SD (Secure Digital) et microSD (une version réduite des SD), ainsi que d'autres spécifiques comme CompactFlash, Memory Stick ou xD-Picture [41]. Un emplacement SD est généralement équipé d'une alimentation de 3,3 V. En revanche, les signaux de ce dernier sont connectés au SoC via les pins dans la partie PS-MIO (Bank 501), alimenté par une tension différente 1,8V. Par conséquent, un convertisseur de niveau de tension est nécessaire dans notre conception, afin d'effectuer la conversion de tension.

Les composants de conversion de niveau de tension les plus recommandés par les concepteurs des PCB sont celle fabriquée par Texas Instruments(TI). Par cet effet, nous avons choisi le composant TXS02612RTWR.

- **TXS02612RTWR**

Le TXS02612 est expandeur de port SDIO avec conversion de niveau de tension. Le dispositif inclut un switch SPDT à six canaux avec une capacité de conversion de niveau de tension. Ceci permet d'interfacer un seul port SDIO avec deux périphériques SDIO. Le TXS02612 possède trois canaux d'alimentation séparés qui fonctionnent sur un intervalle de 1,1 V à 3,0 V. Cela permet aux périphériques de bande de base et SDIO de fonctionner à des tensions d'alimentation différentes si nécessaire.

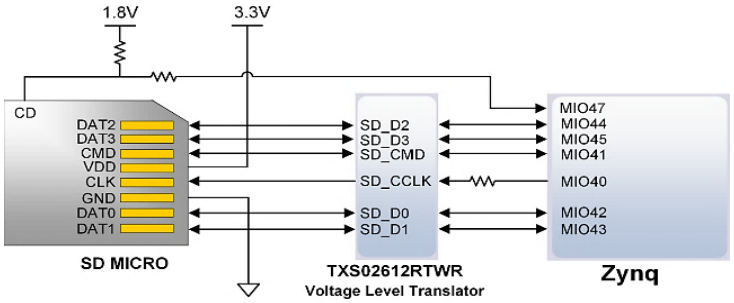


Fig. III.19 : Connexion microSD – Zynq

III.3.4.4 USB

Les ports USB, présents partout dans les applications multimédias, assurent une connectivité polyvalente à de nombreux appareils et périphériques. Grâce à cela, il devient possible de transférer aisément des fichiers multimédias, d'établir une connexion avec des accessoires afin d'accroître les fonctionnalités des dispositifs multimédias. Des appareils mobiles peuvent être chargés et des périphériques alimentés grâce à l'utilisation de ports USB.

Notre système, ModuZynq, contient plusieurs types des USB (USB JTAG/UART,

USB OTG et USB HUB). Chaque type est destiné à une application, qui est expliqué en détail dans le chapitre suivant.

• **USB au JTAG/UART**

Plusieurs protocoles de communication série/parallèle peuvent être utilisés pour communiquer avec et entre des circuits imprimés : Joint Test Action Group (JTAG), Universal Asynchronous Receiver/Transmitter (UART), Inter-Integrated Circuit (I2C) et l'interface périphérique série (SPI). Le JTAG et UART sont utilisés pour les opérations de débogage, de programmation et le test des PCBs. Par ailler, le JTAG prend aussi en charge le balayage de limite (boundary-scan). Cette technologie intègre des cellules spéciales de balayage de limite à l'intérieur des circuits, ce qui permet aux débogueurs de communiquer directement avec le cœur de SoC via un port JTAG.

Notre conception dispose d'un port USB 2.0 connecté avec le contrôleur USB FT2232. Ce dernier est utilisé pour assurer une conversion USB vers JTAG ou UART. Cela pour assurer la configuration et le débogage de notre SoC-Zynq7010, à partir d'une des interfaces citées. La figure III.20 illustre le principe de configuration de notre Système.

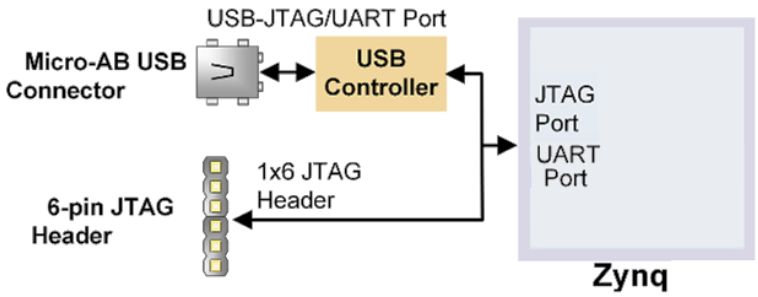


Fig. III.20 : Principe de configuration du SoC.

Le FT2232H correspond à la 5ème génération de périphériques USB de la société FTDI. C'est un circuit USB 2.0 haute vitesse (480Mb/s) vers UART/FIFO. Ce composant a la capacité d'être configuré dans une variété d'interfaces série ou parallèle standard de l'industrie. Ces caractéristiques avancées sont les suivantes :

- Conversion USB vers deux ports (channel A : ADBUS [0:7] et channel B : BDBUS [0:7]) série/parallèle avec une variété de configurations.

- L'ensemble du protocole USB est géré sur le composant. Aucune programmation de firmware spécifique à l'USB n'est nécessaire.

- Compatible avec l'USB 2.0 High Speed (480Mbits/Seconde) et Full Speed (12Mbits/-Seconde).

- Possède un Dual Multi-Protocol Synchronous Serial Engine (MPSSE) pour simplifier la conception du protocole série synchrone (USB vers JTAG, I2C, SPI ou bit-bang) **3.19**.

Le composant FT2232HQ est utilisé dans notre système ModuZynq, pour avoir une conversion USB vers les deux interfaces UART et JTAG. La fonction des deux ports ADBUS [0:7], BDBUS [0:7] est définie par le branchement du FT2232H. La figure III.21 décrit les possibilités de mode d'emploi pour ces pins :

Pin #	Pin Name	ASYNC Serial (RS232)	245 FIFO SYNC	245 FIFO	ASYNC Bit-bang	SYNC Bit-bang	MPSSE	Fast Serial interface	CPU Style FIFO	Host Bus Emulation
		Channel A								
16	ADBUS0	TXD	D0	D0	D0	D0	TCK/SK	USES	D0	AD0
17	ADBUS1	RXD	D1	D1	D1	D1	TDI/DO		D1	AD1
18	ADBUS2	RTS#	D2	D2	D2	D2	TDO/DI		D2	AD2
19	ADBUS3	CTS#	D3	D3	D3	D3	TMS/CS		D3	AD3
21	ADBUS4	DTR#	D4	D4	D4	D4	GPIOL0		D4	AD4
22	ADBUS5	DSR#	D5	D5	D5	D5	GPIOL1		D5	AD5
23	ADBUS6	DCD#	D6	D6	D6	D6	GPIOL2		D6	AD6
24	ADBUS7	RI#	D7	D7	D7	D7	GPIOL3		D7	AD7
26	ACBUS0	TXDEN	RXF#	RXF#	**	**	GPIOH0		CS#	A8
27	ACBUS1	**	TXE#	TXE#	WRSTB	WRSTB	GPIOH1		A0	A9
28	ACBUS2	**	RD#	RD#	RDSTB#	RDSTB#	GPIOH2		RD#	A10
29	ACBUS3	RXLED#	WR#	WR#	**	**	GPIOH3		WR#	A11
30	ACBUS4	TXLED#	SIWUA	SIWUA	SIWUA	SIWUA	GPIOH4		SIWUA	A12
32	ACBUS5	**	CLKOUT	**	**	**	GPIOH5		**	A13
33	ACBUS6	**	OE#	**	**	**	GPIOH6		**	A14
34	ACBUS7	**	**	**	**	**	GPIOH7		**	A15
		Channel B								
38	BDBUS0	TXD		D0	D0	D0	TCK/SK	FSDI	D0	CS#
39	BDBUS1	RXD		D1	D1	D1	TDI/DO	FSCLK	D1	ALE
40	BDBUS2	RTS#		D2	D2	D2	TDO/DI	FSDO	D2	RD#
41	BDBUS3	CTS#		D3	D3	D3	TMS/CS	FSCTS	D3	WR#
43	BDBUS4	DTR#		D4	D4	D4	GPIOL0		D4	IORDY
44	BDBUS5	DSR#		D5	D5	D5	GPIOL1		D5	CLKOUT
45	BDBUS6	DCD#		D6	D6	D6	GPIOL2		D6	I/O0
46	BDBUS7	RI#		D7	D7	D7	GPIOL3		D7	I/O1
48	BCBUS0	TXDEN		RXF#	**	**	GPIOH0		CS#	**
52	BCBUS1	**		TXE#	WRSTB	WRSTB	GPIOH1		A0	**
53	BCBUS2	**		RD#	RDSTB#	RDSTB#	GPIOH2		RD#	**
54	BCBUS3	RXLED#		WR#	**	**	GPIOH3		WR#	**
55	BCBUS4	TXLED#		SIWUB	SIWUB	SIWUB	GPIOH4	SIWUB	SIWUB	**
57	BCBUS5	**		**	**	**	GPIOH5		**	**
58	BCBUS6	**		**	**	**	GPIOH6		**	**
59	BCBUS7	PWRSAV	PWRSAV	PWRSAV	PWRSAV	PWRSAV	GPIOH7	PWRSAV	PWRS	PWRSAV
60	PWREN	PWREN	PWREN	PWREN	PWREN	PWREN	PWREN	PWREN	PWRE	PWREN#
36	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#	SUSPEND#

FIG. III.21 : Configurations de deux ports ADBUS/ BDBUS.

Dans la Chaine B, pour sélectionner l'interface UART deux pins ont été sélectionnées pour le fonctionnement (BDBUS [0;1] = TXD et RXD). Par ailleurs, sur la chaine A quatre pins sont utilisés comme pour choisir l'interface JTAG (ADBUS [0;3] = TCK/SK ; TDI/DO ; TDO/DI et TMS/CS) **3.19**.

• **USB OTG**

L'USB On-the-Go (OTG) permet à deux dispositifs USB de communiquer entre eux, sans avoir recours aux services d'un ordinateur personnel. L'USB OTG conserve le modèle hôte/périphérique USB standard, dans lequel un hôte unique communique avec des périphériques. En revanche, l'OTG introduit un dispositif à double rôle ou, plus précisément, un dispositif capable de fonctionner en tant qu'hôte ou périphérique. Ainsi, il définit deux protocoles de communication HNP (Host Negotiation Protocol) et SRP (Session Request Protocol).

- Protocole de négociation d'hôte HNP

Outre le module de contrôle USB OTG, le protocole OTG définit également une nouvelle interface (appelée Micro-AB). Les connecteurs Micro-A(mA) et Micro-B(mB) sont adaptés à cette interface.

Lorsque deux dispositifs OTG à double rôle sont connectés, les appareils peuvent être configurés initiallemnt en fonction de leur type de prise (mA ou mB). Ces derniers sont toutes dotées d'une broche de signal ID, pour donner des identités électriques différentes aux extrémités du câble. Le principe de ce protocole est :

a- Dans une prise mA la pin ID est connectée à la masse,

b- La pin ID reste flottante dans le cas d'une fiche mB,

c- Si un appareil OTG se connecte au cable du coté mA, donc il est appelé A-device et fonctionne en mode hôte,

d- Cepandant un dispositif appelé B-device et fonctionne en mode périphirique, lorsqu'il est connecté à une fiche type mB.

L'hôte /périphérique peuvent échanger leurs rôles si nécessaire. La commutation entre les deux appareils est gérée par le contrôleur USB OTG, en utilisant le protocole HNP.

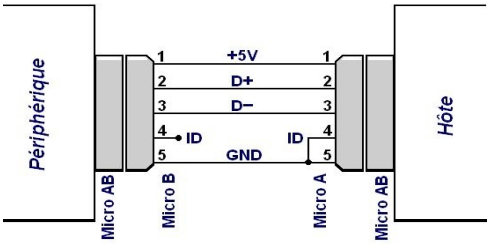


Fig. III.22 : Détermination initiale des rôles [42], [43].

- **Protocole de demande de session**

Le SRP permet à un B-device (périphérique) de demander à un A-device (hôte), pour activer l'alimentation VBUS. Ceci est appelé un démarrage de session. Une session OTG est définie comme le temps durant lequel l'appareil A fournit l'alimentation VBUS. Ce dispositif à le pourvoir de mettre fin à une session en éteignant le VBUS pour conserver l'énergie. Cette opération s'effectue en utilisant un load switch.

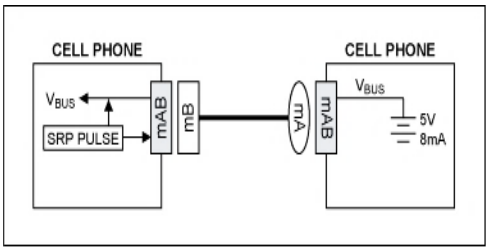


Fig. III.23 : Protocole SRP (Génération de VBUS) [42], [43].

Principalement, cette partie du système ModuZynq est basé sur le circuit intégré USB3320 de Microchip. Ce composant est un transceiver (émetteur-récepteur) high speed USB 2.0, qui fournit une solution de couche physique (PHY) configurable. En s'adaptant parfaitement à une grande variété de produits. Ce IC répond à toutes les exigences électriques pour être utilisé en tant qu'hôte USB high speed, dispositif USB On-the-Go (OTG).

USB3320 utilise la norme industrielle UTMI+ Low Pin Interface (ULPI). C'est une interface standardisée conçue pour fournir une connexion point à point avec une haute capacité, entre un SoC ou un ASIC et un transceiver USB high speed.

L'ULPI fonctionne avec une signalisation en bande et de transfert d'octets d'état, ceci pour faciliter une connexion USB avec seulement 12 broches. Lors de la mise en œuvre

du mode d'horloge d'entrée ULPI, une horloge externe doit être utilisée. Pour mettre en place l'interface ULPI, l'USB3320 utilise la technologie "wrapper-less". Qui permet à ce composant d'atteindre une faible latence de transmission et de réception [44].

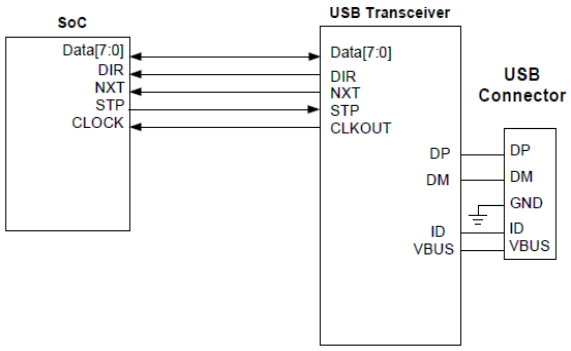


FIG. III.24 : Connexion d'un SoC via l'interface ULPI.

• **USB HUB**

Les USB HUB (concentrateurs) sont requis par les spécifications de l'USB. Afin de permettre la connexion d'un hôte à plusieurs périphériques USB. Ils peuvent également être utilisés pour augmenter la longueur maximale du lien, par conséquent, la taille du réseau. En effet, la longueur d'un seul câble USB est limitée à 5 m. Avec l'utilisation de HUB, il est possible d'atteindre des distances maximales de 20 m entre l'hôte et un périphérique (les spécifications de l'USB limitent le nombre de hubs en cascade).

Le principe de fonctionnement de notre USB HUB est illustré dans la figure III.25 :

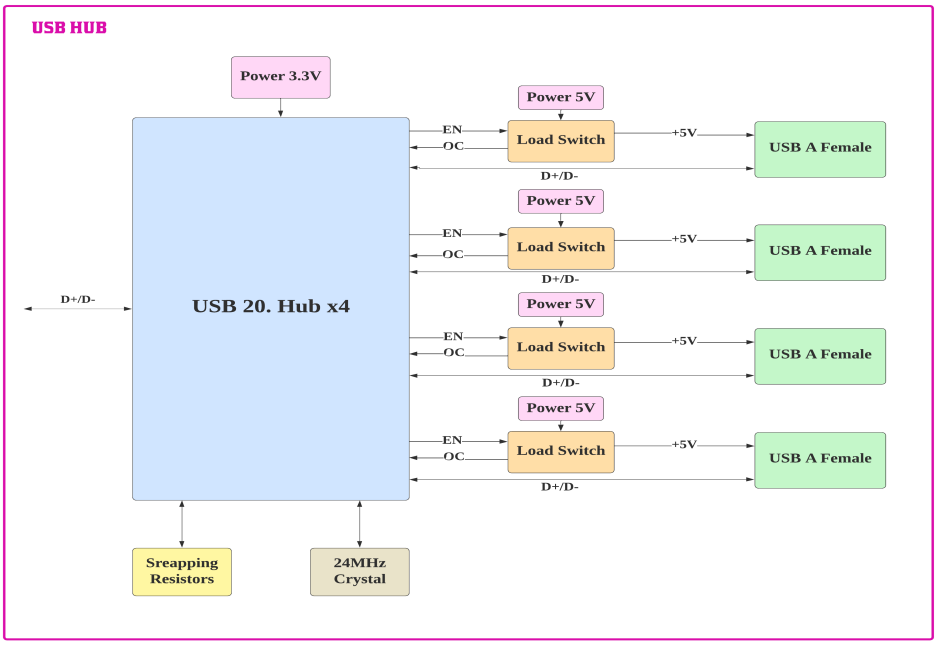


FIG. III.25 : Principe de fonctionnement d'USB HUB

Pour notre conception, les éléments fondamentaux de ce branchement sont :

- **USB 2.0 HS Hub :** USB2514B fournie par Microchip. C'est la famille USB251xB/xBi de concentrateurs MTT (Multi Transaction Translator) à faible puissance, configurables, destinés à des solutions USB embarquées. Le x=4 indique le nombre de ports en aval disponibles, tandis que le B signifie la prise en charge de la batterie. Le concentrateur Microchip prend en charge les vitesses low-peed, full-speed et high-speed sur tous les ports aval activés [45].

- **Load switch :** MIC2099 contrôlés par le hub utilisé pour accorder la génération d'une tension d'alimentation 5V au périphérique souhaité.

III.3.5 Source d'alimentation

III.3.5.1 PDN : Power distribution network

La conception d'un réseau de distribution d'énergie PDN est une partie cruciale pendant le processus de conception d'un système numérique high-speed. Le PDN dans une carte de circuit imprimé fait référence à la manière dont l'alimentation est distribuée aux composants, et aux circuits qui constituent le PCB. Le but d'une construction du PDN est de générer une alimentation stable à faible bruit aux circuits intégrés, tout en préservant une ondulation (limiter) de la tension de crête, pour le bon fonctionnement du système. La perturbation de la tension se propage le long du PDN et peut facilement s'interfère avec d'autres réseaux d'alimentation ou signaux. Ceci provoque des interférences électromagnétiques, des problèmes de SI, chute de tension et des fluctuations de courant [46].

Les éléments clés, qu'il faut les prendre en considération. Afin d'obtenir un réseau de distribution d'énergie efficace sont :

- Les plans de masses et de puissances (Stuck-Up, Build-Up),
- Mise à la terre (Grounding),
- Les condensateurs de découplage,
- Routage des pistes d'alimentation (largeur et longueur),
- Les VIAs,
- Isolation des composants sensibles,
- Les événements de ESD et de tension transitoire
- Protection PDN : circuits de ESD protection, eFuse, PTC Fuse (Positive Temperature Coefficient), etc.

Notre système ModuZynq inclut divers circuits intégrés et dispositifs électriques. Chacun nécessite une valeur de tension d'alimentation spécifique. Pour y parvenir, nous avions besoin de générer plusieurs tensions, afin d'alimenter tous les éléments qui composent le PCB.

Le SoC utilisé intègre à la fois un système de traitement PS (Processing system) et un système de programmation logique PL. Les figures III.26, III.27 présentent les alimentations demandées pour chaque partie du Zynq 7010.

Symbol	Description	Min	Typ	Max	Units
PS					
V_{CCPINT}	PS internal logic supply voltage	0.95	1.00	1.05	V
V_{CCPAUX}	PS auxiliary supply voltage	1.71	1.80	1.89	V
V_{CCPLL}	PS PLL supply	1.71	1.80	1.89	V
V_{CCO_DDR}	PS DDR I/O supply voltage	1.14	–	1.89	V
V_{CCO_MIO}	PS MIO I/O supply voltage for MIO banks	1.71	–	3.465	V
V_{PIN}	PS DDR and MIO I/O input voltage	–0.20	–	V_{CCO_DDR} + 0.20 V_{CCO_MIO} + 0.20	V

FIG. III.26 : Conditions de fonctionnement recommandées (partie PS)[47].

PL					
V_{CCINT}	PL internal supply voltage	0.95	1.00	1.05	V
	PL -1LI (0.95V) internal supply voltage	0.92	0.95	0.98	V
V_{CCAUX}	PL auxiliary supply voltage	1.71	1.80	1.89	V
V_{CCBRAM}	PL block RAM supply voltage	0.95	1.00	1.05	V
	PL -1LI (0.95V) block RAM supply voltage	0.92	0.95	0.98	V
V_{CCO}	PL supply voltage for HR I/O banks	1.14	–	3.465	V
V_{IN}	I/O input voltage	–0.20	–	V_{CCO} + 0.20	V
	I/O input voltage (when V_{CCO} = 3.3V) for V_{REF} and differential I/O standards except TMDS_33	–0.20	–	2.625	V
I_{IN}	Maximum current through any (PS or PL) pin in a powered or unpowered bank when forward biasing the clamp diode	–	–	10	mA
V_{CCBATT}	Battery voltage	1.0	–	1.89	V

FIG. III.27 : Conditions de fonctionnement recommandées (partie PL) [47].

Pour résumer, la figure III.28 indique toutes les tensions d'alimentation nécessaire, et qui doit être utilisé dans notre conception.

Composant	*Alimentation*
Zynq 7010	**3,3V**
	1,8V
	1,35V
	1V
Buck Regulator	**5V**
DDR3L	**1,35V**
	0,675V
eMMC QSPI	**3,3V**
USB OTG	**5V**
	3,3V
	1,8V
USB JTAG	**3,3V**

Composant	*Alimentation*
HDMI	**5V**
	3,3V
Ethenet	**3,3V**
	1,8V
USB HUB	**5V**
	3,3V
SD Card	**3,3V**
	1,8V

FIG. III.28 : Tension d'alimentation.

Principalement, notre système est alimenté avec une alimentation externe (Chargeur), d'une tension de 5V. Cette dernière va être utilisée pour alimenter quelques parties du ModuZnq, tels que le circuit HDMI, USB OTG, USB HUB ainsi que le régulateur, qui va par la suite générer le reste des tensions (3.3V, 1.8V, 1.35V et 1V). Pour cela, nous avions le choix entre l'utilisation d'un seul régulateur (Buck), qui dispose de quatre tensions de sortie (relativement chère). Ou bien d'utiliser quatre régulateurs séparés.

Les avantages d'utiliser 4 régulateurs de mêmes types sont :

- Avoir une valeur du courant de sortie assez élever pour chaque régulateur. Pour que ça soit largement suffisant pour tout système ModuZynq,

- Chaque branchement contient presque des composants identiques. Par cet effet, le concept de DFMA (Design for Manufacturing and Assembly) expliqué dans le chapitre 2 est respecté,

- La séparation des tensions (3.3V, 1.8V, 1.35V et 1V) va faciliter le routage. En regroupant les composants qui nécessitent la même tension dans un même coté. Ce qui réduit les cas de croisement des pistes d'alimentation.

Après une étude de marché, et en considérant la disponibilité et le prix. Nous avons opté pour le deuxième choix, en utilisant le régulateur SY8003A.

• Régulateur SY8003A

Le circuit intégré SY8003A est un régulateur DC-DC synchrone abaisseur à efficacité élevée et à haute fréquence.

- Capables de délivrer un courant de sortie allant jusqu'à 3A, - Fonctionne sur une large plage de tension d'entrée [2,7V ; 5,5V],

- Intègre un switch principal et autre synchronisé avec une résistance RDS (faible valeur), pour minimiser les pertes de conductivité,

- Intègrent une protection efficace contre les courts-circuits et les surtensions

• eFuse : TPS25940ARVCR

Le circuit intégré TPS25940ARVCR est utilisé pour assurer la protection du système ModuZynq contre les surintensités et les surtensions. Un transistor à effet de champ (FET) intégrés pour un contrôle du courant bidirectionnel.

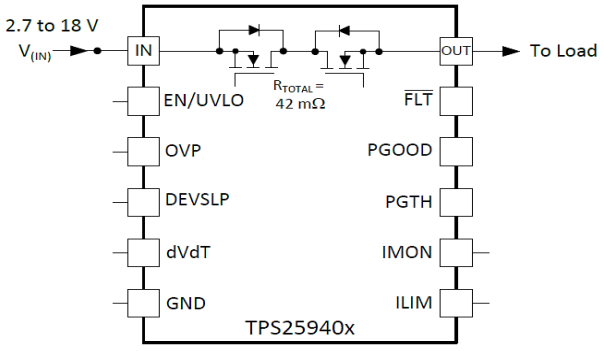


Fig. III.29 : Le FET intégrés dans TPS25940.

Ce dispositif donne accès à programmer de nombreuses fonctions, notamment les seuils de surintensité, de rampe dV/dt, de surtension et de sous-tension, pour la surveillance de l'état du système et le contrôle de charge (load). Cette surveillance de courant précise s'effectue depuis les pins PGOOD et / FLT.

La tension de fonctionnement du TPS25940 est de [2.7V ; 18V], avec un courant supporté d'un intervalle [0.6A ; 5.3A].

Dans le but d'avoir une protection performante, le eFuse surveille Vin et Vout et fournit un blocage précis du courant inverse (le FET sera désactivé), lorsque la tension Vin soit inférieur à (Vout - 10mV). Par conséquent, les pins IN et OUT seront déconnectés [48],[49].

III.4 ModuZynq en méthodologie modulaire

À conception de système ModuZynq est extrêmement complexe, contient des centaines de composants et nécessite une prise en charge particulière. En prenant en considération le cout, les matériaux et les machines de réalisation, ainsi que les connaissances essentielles pour la conception du ModuZynq en un seul PCB. Il s'est avéré que la réalisation de notre système avec la méthodologie monobloc va engendrer une possibilité d'avoir des répercussions négatives sur le bon fonctionnement de ce dernier.

D'après l'étude faite dans le premier et deuxième chapitre, concernant les avantages tel que le Recyclage et réutilisation des modules, la flexibilité de conception et évolutivité et les domaines d'utilisations tel que la gestion d'énergie et l'automobile, ainsi que l'architecture de la méthodologie de conception des systèmes modulaire de PCB. Nous avons décidé de faire la conception de notre système ModuZynq sous forme modulaire. Ceci en le devisant sur deux PCB :

III.4.1 SoM :Système sur module

Qui contient les éléments fondamentaux (Unité de process, mémoires, power et interfaces USB JTAG/UART et USB OTG) pour assurer un fonctionnement d'un PCB quelconque. Le schéma bloc III.30 montre les différentes parties de notre SoM.

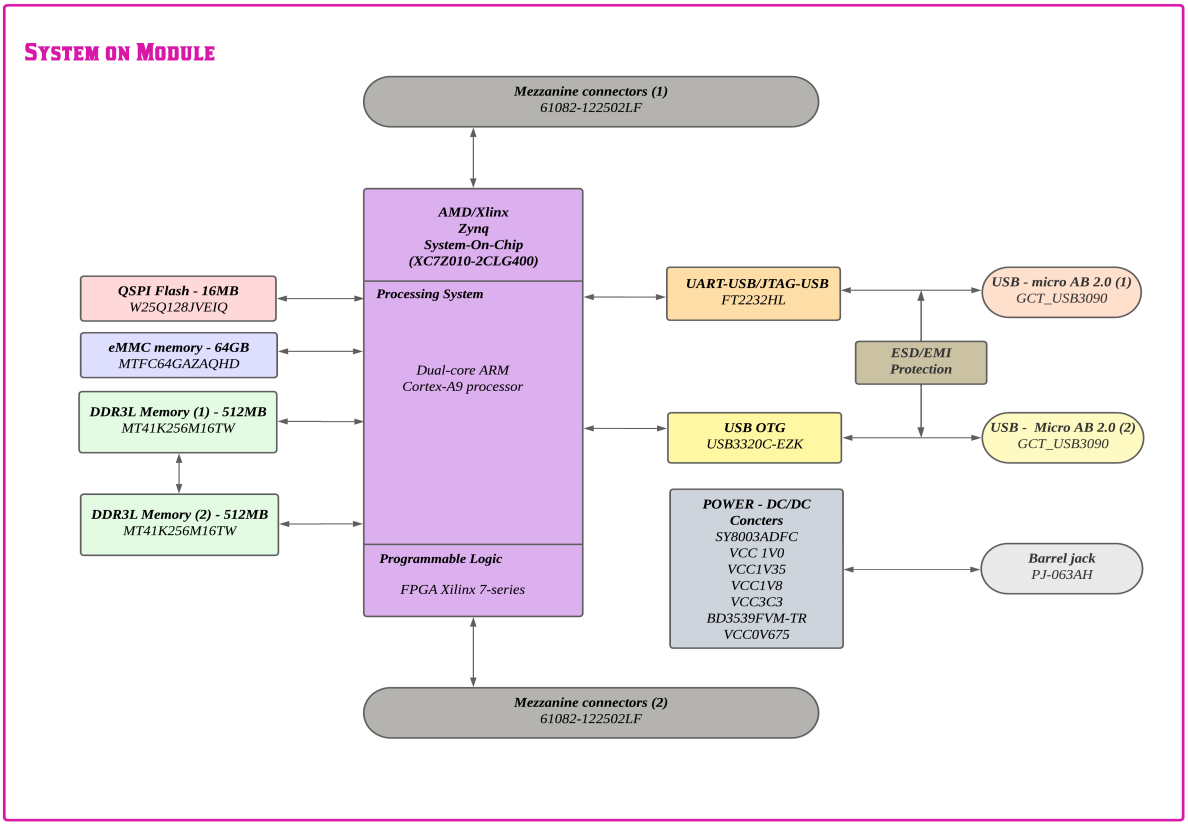


FIG. III.30 : Système sur module

III.4.2 Carte à application spécifique

Destiné l'application spécialisée en multimédia, et se compose de diverses interfaces de communications (HDMI, Carte SD, USB Hub et Ethenet). Le diagramme suivant illustre ces parties :

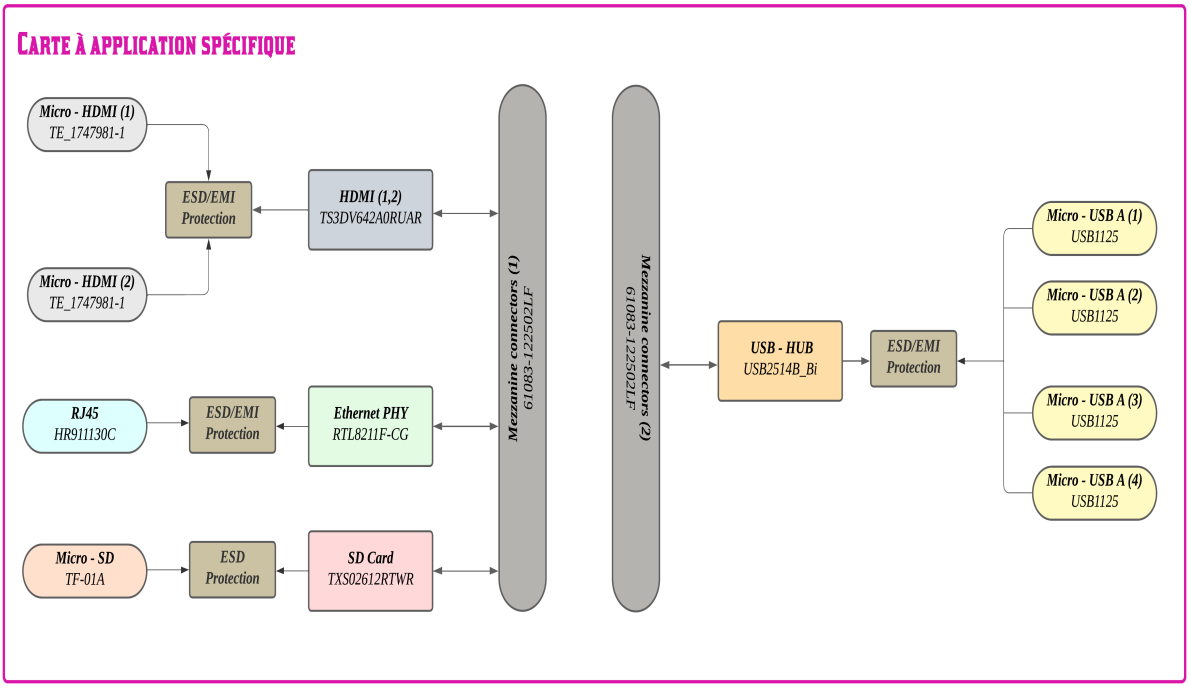


FIG. III.31 : Carte à application spécifique

III.4.3 Événements ESD

Les deux PCBs résultants de la division de notre système ModuZynq, dédié à une application multimédia, contient plusieurs interfaces de communication. Donc plusieurs connecteurs sont utilisés, ce qui demande une attention particulière concernant la protection contre les événements ESD. Les décharges électrostatiques se produisent en raison du transfert rapide d'une charge électrique et statique entre deux objets, à des potentiels différents. Généralement en raison de l'interaction humaine, de la friction, du contact avec des objets chargés, d'une mauvaise manipulation ou des facteurs environnementaux, tels que l'air sec et les surfaces isolantes.

Les ESD nécessitent des mesures de protection appropriées afin de garantir un fonctionnement fiable des systèmes et des composants électroniques. Les types de dispositifs de protection contre les décharges électrostatiques sont :

- Diodes TVS,
- Varistances,
- Pare-étincelles,
- Redressement contrôlé par semi-conducteur (SCR),

- Diodes Zener.

Dans notre projet, nous nous intéresserons principalement aux diodes Zener pour la protection contre les décharges électrostatiques. Ces derniers sont rentables et couramment utilisés pour de nombreuses applications. Elles permettent au courant de circuler dans une seule direction et n'assurent donc une protection que dans un seul sens (Unidirectionnelle). En revanche, le type de diode Zener bidirectionnelle peut gérer les décharges électrostatiques dans les deux polarités, c'est pourquoi nous avons opté pour cette dernière [50].

III.5 Connecteurs

Tout système conçu d'une manière modulaire est destiné à s'interfacer avec un/des autres circuits imprimés. La connexion peut être établie selon un large choix de connecteurs possibles, ce dernier dépendra de plusieurs critères tels que le fabricant, nombre de connexions, caractéristiques électriques (Courant, tension, impédance, etc.), matériaux de fabrication, dimension (hauteur, largeur et épaisseur), type et vitesse des signaux à transmettre, etc.

Après une profonde étude sur les différents choix de connecteurs mezzanine disponible chez Amphenol, on a opté pour l'utilisation du connecteur BergStak® 0.8mm.

III.5.1 Informations techniques

• Performances électriques

- Tension nominale : 100 VAC,
- Courant nominale : 0.8 A/contact,
- Résistance d'isolation : Initialement 1000 MΩ min/ Après test 100 MΩ min,
- Résistance de contact : Initialement 30Ω max/ Après test 50 mΩ max,
- Intégrité de signal pour les paires différentielles.

• Performances physiques et spécifications

- Supporte des vitesses élevées jusqu'à 12Gb/s,
- Conçu pour des hauteurs d'empilage de 5 mm à 20 mm (par incréments de 1 mm),
- 20 à 200 broches de signal (par incréments de 20 positions),
- Une distance entre les pins de 0.8mm,
- Durée de vie : 100 cycles de contacts ,
- Température de fonctionnement : -40°C à +125°C,
- Durée de vie à haute température (105°C ± 5°C) pendant 1000 heures maximum [51],[52],

III.5.2 Choix du connecteur

La sélection du connecteur se fait en choisissant pour chaque case montrée dans la figureIII.32la caractéristique qui convient au besoin.

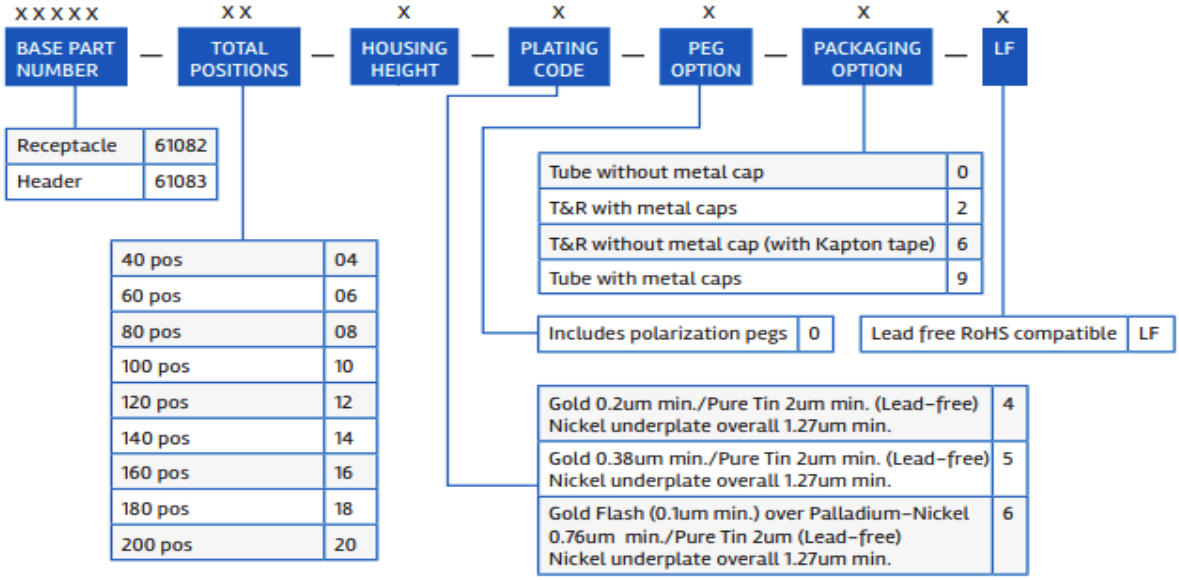


Fig. III.32 : Choix du connecteur BergStak® 0,8 mm.

Pour notre cas, on a choisi 61082-122502LF (Récepteur) et 61083-122502LF (Header). Ce choix était basé sur nos exigences, le coût ainsi que la disponibilité des connecteurs sur le marché.

III.6 Conclusion

En concluant ce chapitre, nous avons examiné attentivement la sélection des composants essentiels pour notre carte de circuit imprimé (PCB) destinée aux applications multimédias haut de gamme. Notre objectif principal est d'assurer une connectivité optimale et une synchronisation parfaite entre ces éléments critiques.

Plusieurs décisions ont été prisées, tels que le choix du SoC Zynq7010 comme unité de traitement, la sélection minutieuse de la mémoire (DDR3L, NANAD-eMMC, NOR-QSPI, etc), l'alimentation et mode de démarrage du système, ainsi que des interfaces de communication qui représente la partie essentielle de notre application.

Le choix le plus important dans notre projet se portait sur la méthodologie de conception de notre système. Par cet effet, et avec la prise en considération de différentes conditions. Nous avons adopté une approche modulaire, afin de réaliser la conception du ModuZynq, en le divisant sur un SoM (Système sur module) et une carte à application spécifiques. Cette méthode nous offre la flexibilité nécessaire pour répondre efficacement et de manière évolutive à nos besoins spécifiques, tout en maintenant les performances et la fiabilité de notre PCB.

Chapitre IV

ModuZynq : Schéma Electrique et Layout

IV.1 Introduction

L'une des étapes cruciales de la création d'un système électronique modulaire pour les applications multimédias haut de gamme, réside dans la mise en place de schémas électriques et du respect strict des directives de layout. Ces éléments jouent un rôle essentiel dans le but de garantir la performance, la fiabilité et l'efficacité de notre système ModuZynq, composé du SoM et de cartes à application spécifique.

Ce chapitre se penche en détail sur chaque aspect des schémas électriques, mettant en lumière les décisions clés relatives aux composants et aux connexions qui sont au cœur de notre architecture modulaire. De plus, nous examinons en profondeur les directives de layout à suivre pour assurer une disposition physique optimale des composants sur la carte de circuit imprimé (PCB).

Notre objectif est de créer un système qui répond aux exigences élevées des applications multimédias. Cela nécessite une approche méticuleuse et un respect strict des normes de conception électronique. Ce chapitre offre un aperçu complet des considérations techniques et des meilleures pratiques à adopter lors de la création de notre système ModuZynq, garantissant ainsi son succès dans l'univers exigeant des applications multimédias.

IV.2 Schéma électrique

IV.2.1 Circuit POWER

Pour commencer, notre système modulaire est alimenté par 5V via une alimentation externe (Batterie ou générateur), par un connecteur DC coaxial (Barrel jack). La tension d'entrée VU5V0 va alimenter par la suite le circuit TPS25940ARVCR qui représente une protection par eFuse (electronic fuse).

IV.2.1.1 eFuse : TPS25940ARVCR

- **Brochage électrique**

Le brochage de cette partie est basé sur le guide de l'utilisateur et le datasheet présentés par Texas Instruments.

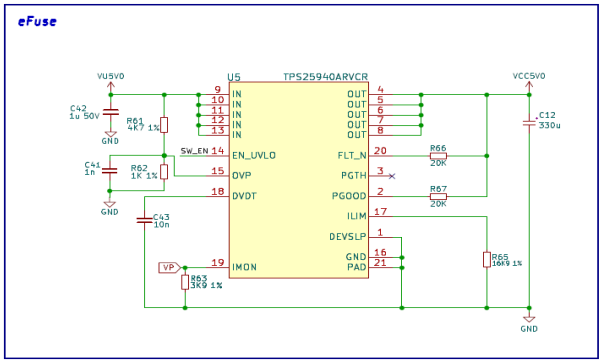


FIG. IV.1 : Schéma électrique de eFuse TPS25940ARVCR [48], [49] .

La broche EN/UVLO contrôle l'état ON/OFF du FET interne. L'activation du TPS25940 s'effectue dès que cette pin passe à l'état haut. Ceci est fait après le basculement du power switch. Tous les pins étiquetées IN sont connectées à l'alimentation **VU5V0**. Un condensateur céramique de faible valeur $C_{IN} = C_{42} = 1\mu F$ connecte les pins IN et GND, afin de réduire les tensions transitoires au niveau de la ligne d'alimentation.

Dans notre schéma, la résistance $R_{ILIM}(R_{65})$ limite le courant max fourni pour la source d'alimentation afin de protéger la carte. Le courant max est estimé en se basant sur l'équation :

$$P_{out} = \eta \times P_{in}$$

Où :
$P_{out} = \sum V_{out} \times I_{max}$

Les tensions de sorties : $V_{out} = 3.3V,\ 1.8V,\ 1.35V$ et $1.0V$

Le courant max de chaque sortie est $I_{max} = 3A$ (à partir du datasheet du régulateur SY8003ADFC).

$$P_{out} = 3.3V \times 3A\ +\ 1.8V \times 3A + 1.35V \times 3A + 1.0V \times 3A = 22.35W$$

η : l'efficacité du régulateur SY8003ADFC.
À partir du datasheet du régulateur **SY8003ADFC**, l'efficacité moyenne du circuit est approximativement $\eta \approx 0.85$

$P_{in} = V_{IN} \times I_{IN} = 5V \times I_{IN}$

En combinant les équations ci-dessus, on calcule le courant I_{IN} par :

$$I_{IN} = \frac{P_{out}}{V_{IN} \times \eta} = 5.2A$$

En suivant les informations mentionnées dans le datasheets de **eFuse :TPS25940ARVCR**, la valeur de R_{ILIM} qui limite le courant à $5.2A$ est $16.9K\Omega$.

Dans le cas d'un dépassement, un blocage d'alimentation de sortie sera effectué. La pin IMON est relié avec le Zynq 7010 (VP) dans le Bank CONFIG.

Les pins OUT sont connectés entre elles, vers GND par un condensateur polarisé $C_{OUT}(C12)$ de 330uF. Le but d'utiliser cette valeur de condensateur, est d'assurer une protection contre le courant inverse [49].

Le brochage du TPS25940 va au final nous générer une tension de sortie VCC5V0, en garantissant une protection au produit ModuZynq. Cette tension utilisée pour alimenter les quatre régulateurs SY8003ADFC (qui vont par la suite générer le reste des tensions).

IV.2.1.2 Régulateur : SY8003ADFC

- **Brochage électrique**

Le brochage de régulateur SY8003ADFC est basé sur le datasheet présentés par le manufacture SILERGY [53].

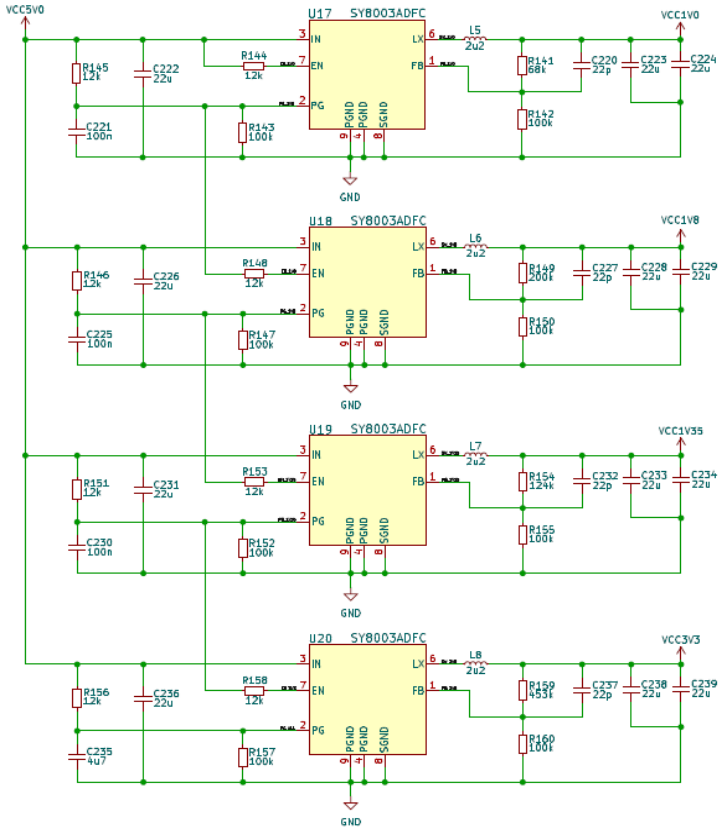


FIG. IV.2 : Schéma électrique du régulateur SY8003ADFC [53].

D'après le datasheet la tension de sortie est calculée par l'équation IV.1

$$V_{out} = 0.6 \times (1 + \frac{R1}{R2}) \tag{IV.1}$$

Tel que : R_1 et R_2 sont les deux résistances qui détermine la tension de sortie appropriée. En suivant le datasheet du régulateur, les valeurs de ces résistances doivent être comprises entre $10k\Omega$ et $1M\Omega$. Afin de minimiser la consommation d'énergie, en cas de charges à faible absorption. Pour appliquer la consigne expliquée, nous avons fixé pour chaque IC la résistance R_2 à $100K\Omega$, puis calculé la résistance R1 selon l'alimentation qui va être généré.

Le brochage électrique des régulateurs est fait d'une façon séquentielle. Donc le premier SY8003ADFC activé est celui qui génère la tension VCC1V0. Car la pin EN est mis à

l'état haut par une connexion directe au $VCC5V0$. Une fois la pin PG_1V0 passe à l'état haut, cela indique que l'alimentation a été générée correctement. Cette dernière va activer par la suite le deuxième régulateur, pour donner VCC1V8. Avec le même principe, les autres alimentations vont être créées.

Dès que la tension VCC3V3 se génère et PG_3V3 passe à l'état haut, se signale sera amplifié par un buffer de Schmitt Trigger non inversé NL17SZ17. Pour avoir un signal de sortie PG_ALL_EDGE, utilisé dans plusieurs brochages pour le SoM et la carte à application spécifique.

IV.2.1.3 Zynq 7010 : POWER et GND

Du fait que les exigences en termes de capacité des circuits varient en fonction de l'utilisation des blocs CLB et des pins I/O, les recommandations en matière de découplage des circuits imprimés sont fournis pour chaque circuit. Les condensateurs d'alimentation de la partie PS et VCCINT, VCCAUX, VCCAUX_IO, VCCBRAM sont indiqués en quantité par dispositif, tandis que les condensateurs VCCO sont indiqués en quantité par Banks de I/O. Les capacités de découplages recommandées sont mentionnées dans le guide d'utilisateur [54].

Avec l'application de ces recommandations, le brochage de Bank POWER est montré dans la figure ci-après :

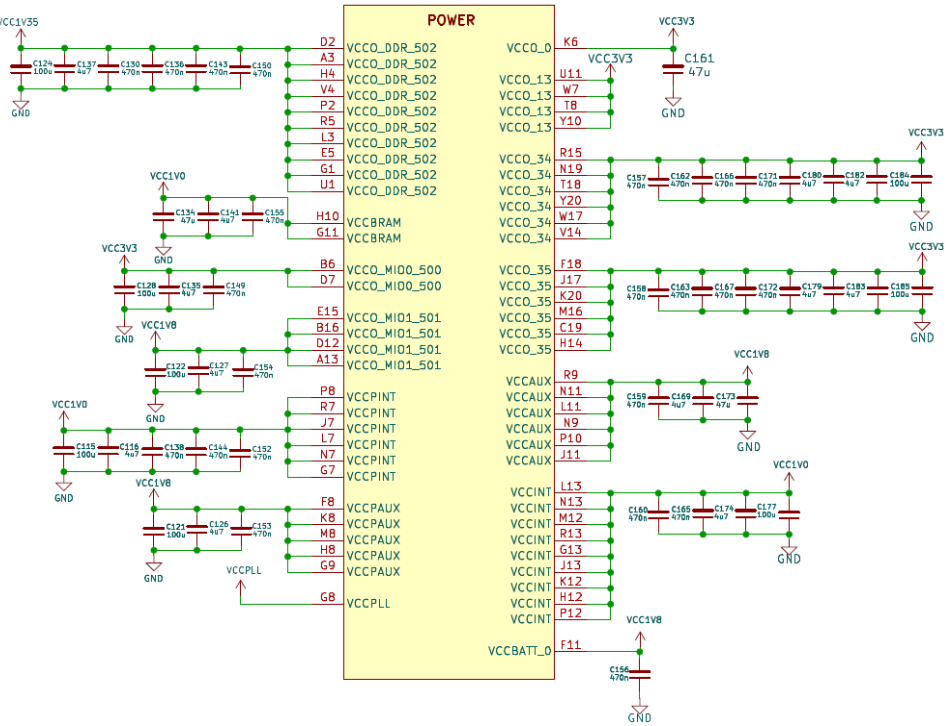


FIG. IV.3 : Zynq 7010 (Bank POWER).

IV.2.2 Circuits des mémoires

IV.2.2.1 DDR3L : MT41K256M16TW-107_IT :P

La mémoire DDR3L- MT41K256M16TW-107_IT :P dispose 20 types de signaux différents distribués sur 96 pins.

Le SoM de notre produit ModuZynq est équipé de deux composants de mémoire Micron MT41K256M16HA-125 DDR3L afin de créer une interface de 32 bits et une capacité de stockage totale de 1 GiB (Gibi-byte, ou 1 077 741 824 octets). La DDR3L est connectée au contrôleur de mémoire dans la partie PS-DDR (Bank 502), comme indiqué dans la documentation Zynq [31].

- **Brochage électrique :**

les brochages électriques pour les mémoires DDR3L sont identiques et basés sur le datasheet de MT41K256M16HA,ainsi que le guide d'utilisateur [31], [54].

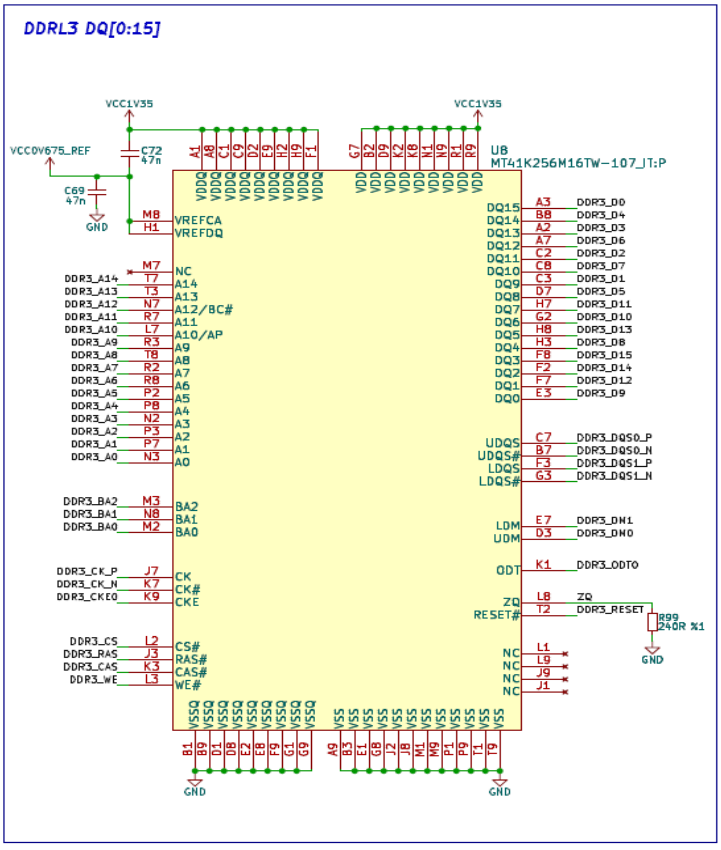


Fig. IV.4 : Brochage - MT41K256M16TW.

Dans le but de faciliter le layout et le routage des deux mémoires avec le SoC, la MT41K256M16, offre l'option de bit/byte Swapping (Permutation) de données. Cela pourra être appliqué seulement en respectant la condition d'ordre entre les bits de donnée (DQ) et DATA Strob/ Mask (LDQS, UDQS / UDM, LDM).

Dans la première mémoire, les deux bits UDQSP/N et UDM sont connectés au SoC via les pins DDR3_DQS0_P/N et DDR3_DM0 respectivement. Donc pour que la connexion DDR(1) et le SoC soit correcte, l'octet supérieur de donnée DQ[8 : 15] doit être obligatoirement connecté au pins DDR3_D[0 : 7].

De même, les bits LDQSP/N et LDM, connectés aux DDR3_DQS1_P/N et DDR3_DM1. Par conséquence, l'octet inférieur de donnée DQ[0 : 7] est connecté aux pins DDR3_D[8 : 15]. Ce principe de permutation est appliqué d'une façon pareille pour la deuxième mémoire. Pour chaque octet, les bits peuvent être aussi permutés à condition que ces derniers restent inclus dans l'octet correspondant.

Les alimentations (VDD/VDDQ) fonctionnent sur une tension de 1.35 V. Cependant, les alimentations de référence VREFDQ et VREFCA sont alimentées par 0.675 V. Cette dernière est générée par le régulateur BD3539.

IV.2.2.2 Régulateur VTT : BD3539FVM-TR

Le BD3539FVM-TR est un régulateur utilisé spécialement pour générer une tension VTT, conforme à la technologie de terminaison. De plus, le BD3539 à l'avantage de générer une alimentation de sortie de référence (VREF). Contrairement à la pin VTT qui peut passer à un état haute impédance. La sortie VREF ne change pas d'état si l'entrée EN est à l'état bas.

- **Brochage électrique**

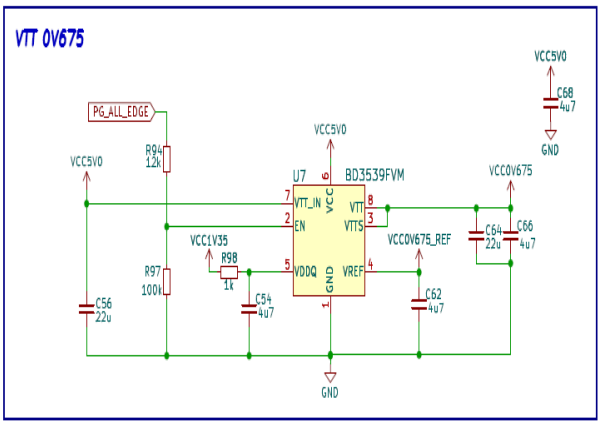


Fig. IV.5 : Brochage - BD3539FVM [55].

le brochage suivant est basé sur le datasheet du régulateur. Ce circuit n'est pas activé, jusqu'au passage de la pin EN a l'état haut. Ceci est fait après la génération correcte des tensions (1V, 1V8, 1V35 et 3V3), ce qui donne naissance au signal PG_ALL_EDGE.

IV.2.2.3 Zynq 7010: Bank 502

Le brochage du Bank 502, est basé sur les informations citées dans le guide d'utilisateur [54].

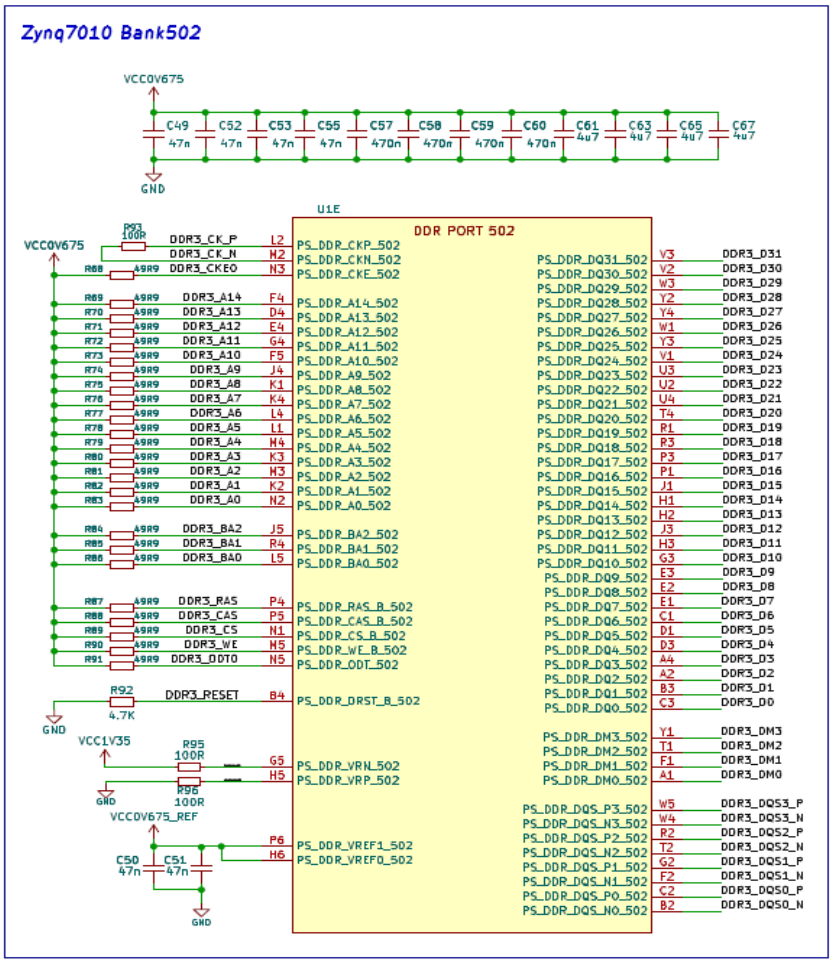


FIG. IV.6 : Zynq7010 (Bank 502).

Les signaux de données, DATA Mask/Strobe sont connectés d'une façon point à point avec les mémoires DDR. Par ailleurs, pour tout le reste des signaux, l'utilisation de technologie de terminaison est nécessaire, afin d'éliminer les réflexions. Le type de terminaison est parallèle, et les valeurs des résistances doivent être égales à l'impédance de trace (50 ohms pour un signal simple, 100 ohms pour les signaux différentiels). Les résistances de terminaison parallèle et les pins VREF[0,1] sont alimentés par l'alimentation de terminaison VTT = 0.675 V. (Cette notion a été expliquée dans la partie Technologie de terminaison) [54].

IV.2.2.4 eMMC : MTFC64GAZAQHD-IT

L'eMMC choisi dispose en tous de 153 pins répartis comme se suit :
- un bus de 12 signaux avancé (CLK, CMD, DS, RST_n et DAT [7:1])
- 9 signaux d'alimentations (3.3V)

- 12 signaux reliés au ground et le reste sont non connectés ou pour un usage ultérieur.

• **Brochage électrique**

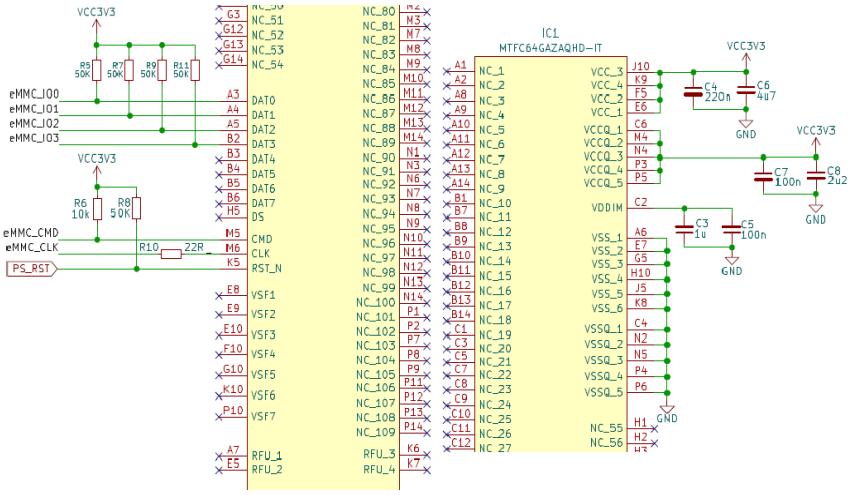


FIG. IV.7 : Schéma électrique d'eMMC (PCB – SoM).

Le schéma électrique de ce dispositif se compose des condensateurs de découplage pour les signaux d'alimentation VCC [4:1], VCCQ [5:1] et VDDIM, et aussi des résistances :

- De terminaisons en série pour les deux signaux d'horloge CLK.
- Pull-Up pour les signaux des données DAT [7:0], Reset RST_n et Commande CMD.

La conception de notre schéma électrique pour le composant l'eMMC-MTFC64GAZAQHD, illustré dans la figure ci-dessus, était créée en se basant sur le document guide de conception des PCBs [56] fournie par la société Micron.

D'après ce qui a été montré avant dans la figure (Schéma électrique de eMMC), le brochage des signaux de DATA était effectuée en connectant seulement les 4 premiers bits DAT [3:0] de l'eMMC avec le Zynq-7010. Cela revient sur le fait que les pins destinées à une connexion d'un tel type de mémoire (SD0 et SD1 du Bank 1), sont réservées pour d'autres usages tels qu'Ethernet et USB (Enet0 et USB0). Donc reste que six pins (SD1 du Bank 0) disponible.

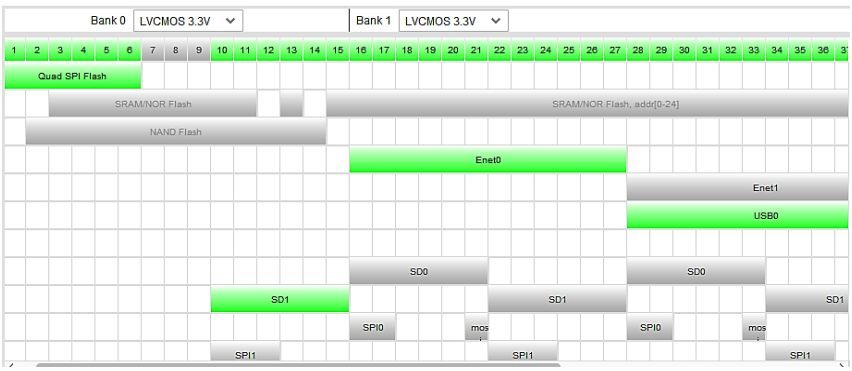


FIG. IV.8 : Périphérique des pins I/Os de Zynq7010 - logiciel VIVADO.

Dans ce cas, avec l'utilisation d'un bus de donnée contenant 4 bits. La configuration de l'eMMC en mode HS400 ne pourra pas être effectuée, car ce mode nécessite un bus de donnée de 8 bits, à cet effet la pin DS (DATA Strobe) est non connecté. Par conséquent, l'eMMC est configuré en mode HS200.

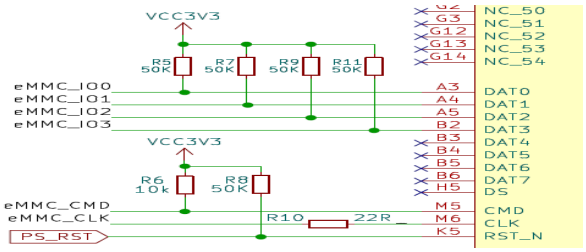


Fig. IV.9 : Brochage des pins DATA et DS [57].

IV.2.2.5 NOR Flash QSPI : W25Q128JV

Le W25Q128JV est compatible avec l'interface SPI standard, Dual ou bien Quad. Ces derniers sont activés via l'horloge série la sélection de puce (chip select), les données en série I/O0 (DI), I/O1 (DO), I/O2 (/WP) et I/O3 (/HOLD ou /RESET).

La fréquence d'horloge SPI du W25Q128JV peut atteindre 133 MHz, ce qui permet d'obtenir une fréquence d'horloge équivalente de 266 MHz (133 MHz x 2) pour le Dual I/O et de 532 MHz (133 MHz x 4) pour le Quad I/O lors de l'utilisation du mode Fast Read Dual/Quad I/O.

• **Mode d'interface SPI : standard, Dual et Quad**

- Le W25Q128JV supporte les opérations SPI standard, Dual SPI et Quad SPI. Les instructions SPI standard utilisent les broches DI (Input) et DO (Output) unidirectionnelles pour écrire et lire en série des instructions, des adresses ou des données. Cependant, les instructions SPI double et quadruple utilisent les broches IO bidirectionnelles. Ceci nécessite que le bit non volatil Quad Enable (QE) du registre d'état deux soit activé. Lorsque QE=1, la pin /WP devient IO2 et /HOLD devient IO3.

- La pin (/WP) peut être utilisée pour empêcher l'écriture du registre d'état.

- La pin /HOLD permet de mettre le dispositif en pause pendant qu'il est activé. Lorsque /HOLD est mise à l'état bas, alors que /CS=0, la broche DO est à haute impédance. Et les signaux sur les broches DI et CLK sont ignorés. Lorsque /HOLD est mis à l'état haut, le fonctionnement de l'appareil peut reprendre. Cette fonction peut être utile lorsque plusieurs appareils partagent les mêmes signaux SPI.

- Une pin /RESET matérielle dédiée est disponible sur les boîtiers SOIC-16 et TFBGA. Lorsqu'elle est maintenue à un niveau bas pendant un temps de $1\mu S$, ce dispositif met fin à toute opération externe ou interne et revient à son état de mise sous tension [58].

- **Brochage électrique**

A- Dispositif W25Q128JV

En se basant sur les brochages dans les références suivantes : [59], ainsi que le document de recommandation de schéma [60]).

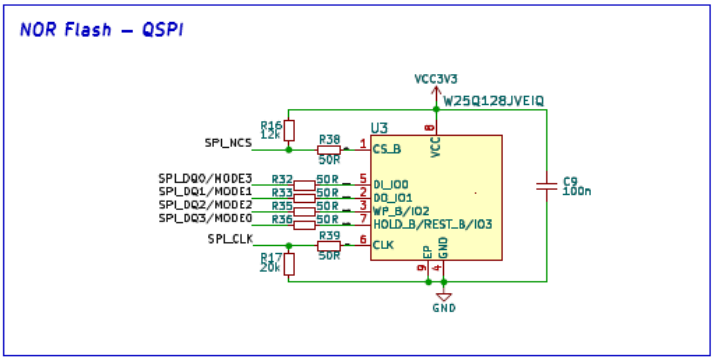


FIG. IV.10 : Brochage électrique du W25Q128JV.

Le brochage électrique de ce dispositif se compose d'un condensateur de découplage pour le signal d'alimentation VCC et aussi de plusieurs types des résistances :

- Résistances de terminaison en série pour les signaux I/Os, CLK et /CS,
- Résistances Pull-Up pour les signaux I/Os et /CS,
- Résistances Pull-Down pour le signal CLK.

B- Boot Mode

La mémoire Flash assure le stockage non volatil du code et des données. Elle peut être utilisée pour initialiser les PS et PL du dispositif Zynq avec une image de boot (BOOT.BIN), générée à l'aide d'outils Xilinx tels que Petalinux ou Xilinx SDK. Dans ce cas, on peut éliminer l'utilisation du connecteur JTAG pour le boot, et le faire à partir de W25Q128JV. Les pins de données en série reliées respectivement avec [SPI_DQ0/MODE3 : SPI_DQ3/MODE0] servent à sélectionner le mode de boot, cela en utilisant les deux switches montrés dans la figure ci-dessous :

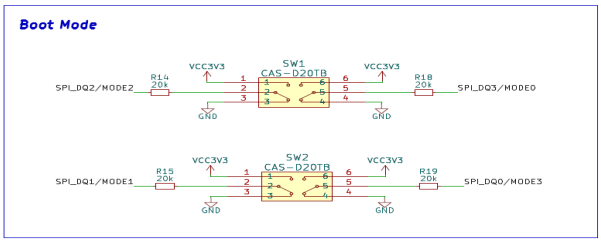


FIG. IV.11 : Switch de sélection des modes de Boot.

En changeant les états des deux switches (entre état haut et bas). Différentes possibilités seront obtenues. Chacune de ces dernières représente un mode de boot, montré dans le tableau ci- dessous.

Pin-signal / Mode	MIO[8]	MIO[7]	MIO[6]	MIO[5]	MIO[4]	MIO[3]	MIO[2]
	VMODE[1]	VMODE[0]	BOOT_MODE[4]	BOOT_MODE[0]	BOOT_MODE[2]	BOOT_MODE[1]	BOOT_MODE[3]
Boot Devices							
JTAG Boot Mode; cascaded is most common				0	0	0	**JTAG Chain Routing** 0: Cascade mode 1: Independent mode
NOR Boot				0	0	1	
NAND				0	1	0	
Quad-SPI				1	0	0	
SD Card				1	1	0	
Mode for all 3 PLLs							
PLL Enabled			0	Hardware waits for PLL to lock, then executes BootROM.			
PLL Bypassed			1	Allows for a wide PS_CLK frequency range.			
MIO Bank Voltage							
	Bank 1	**Bank 0**	Voltage Bank 0 includes MIO pins 0 thru 15. Voltage Bank 1 includes MIO pins 16 thru 53.				
2.5 V, 3.3 V	0	0					
1.8 V	1	1					

FIG. IV.12 : Les différents modes de boot [61].

IV.2.2.6 Zynq 7010 : Bank 500

La mémoire flash se connecte au contrôleur de flash Quad-SPI du Zynq-7010 dans la partie PS via les pins PS_MIO : Bank 500 (en particulier MIO [1 : 6]). Les pins PS_MIO : Bank 500, sont également utilisés pour l'interface SDIO connecté avec l'eMMC (MOI [10 :15]).

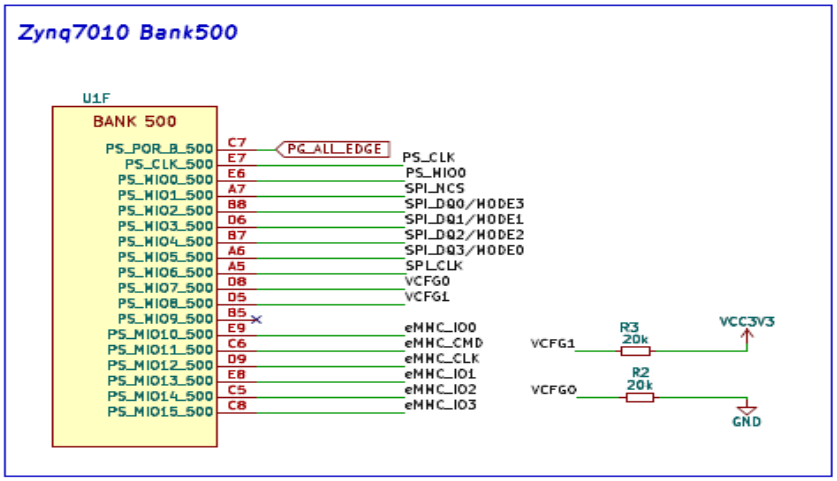


FIG. IV.13 : Zynq7010 (Bank 500).

IV.2.2.7 Carte SD : TXS02612RTWR

- **Brochage électrique**

Le brochage électrique de cette partie est basé sur le schéma de la carte Zybo Z7 fourni par Digilent [59].

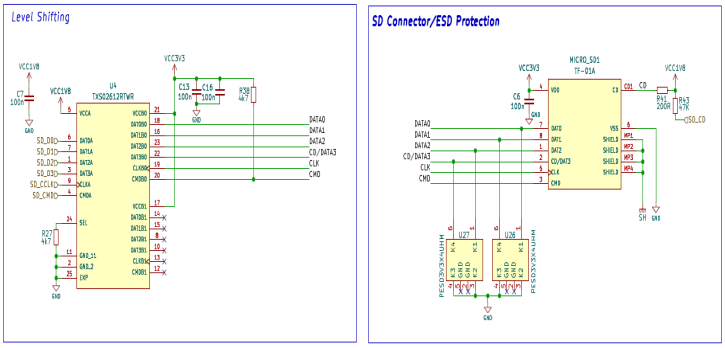


Fig. IV.14 : Circuit carte SD.

Le composant TXS02612RTWR est en fait un expandeur de port SDIO à deux ports, seule sa fonction de conversion est utilisée, car notre carte à application spécifique contient qu'un port SD. L'entrée de sélection (SEL) permet de choisir entre le port B0 et le port B1. Par cet effet, avec l'utilisation du port B0, cette broche est connectée au GND. Les cartes mémoires high-speed et low-speed sont prises en charge, la fréquence d'horloge maximale est de 50 MHz. L'utilisation du composant PESD3V3X4UHM, pour la protection contre les décharges électrostatiques (ESD) unidirectionnel quadruple, conçu pour protéger jusqu'à quatre lignes contre les dommages causés par les ESD et autres transitoires.

Remarque **:** Les signaux de l'interface SDIO du port B0 sont connectés avec le Zynq, dans la partie PS Bank 501(voir annexe D).

IV.2.3 Circuit digital high-speed

IV.2.3.1 USB au JTAG/UART : FT2232HQ

- **Brochage électrique**

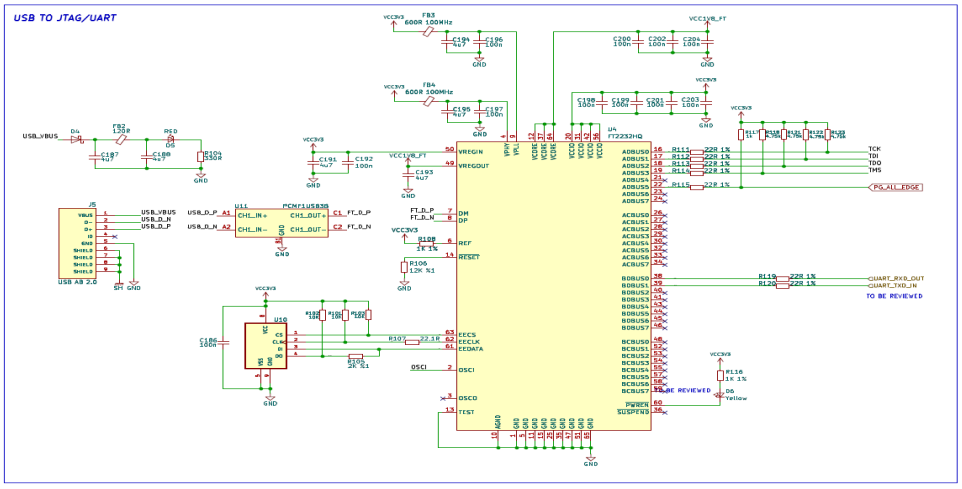


Fig. IV.15 : Brochage - FT2232HQ [62], [63].

Dans notre brochage, le FT2232H est connecté à une EEPROM externe, via les pins EECS, EECLK et EEDATA. Ce circuit possède deux manières de fonctionnement :

- Dans le cas d'une utilisation sans EEPROM externe, le FT2232H est configuré par défaut en USB vers un double port série asynchrone.

- L'ajout d'une EEPROM externe 93C46, 93C56 ou 93C66 (recommandées), permet à chacun des canaux du circuit d'être configuré indépendamment comme un UART série (mode RS232), un mode FIFO parallèle, etc.

La figure ci-dessous résume les modes configurables à l'aide de l'EEPROM ou du logiciel d'application.

	ASYNC Serial UART	ASYNC 245 FIFO	SYNC 245 FIFO	ASYNC Bit-bang	SYNC Bit-bang	MPSSE	Fast Serial interface	CPU-Style FIFO	Host Bus Emulation
EEPROM configured	YES	YES	YES				YES	YES	
Application Software configured			YES	YES	YES	YES			YES

Fig. IV.16 : Mode de configuration [64].

Concernant le connecteur utilisé, le temps de montée/descente des signaux USB ne dépend pas seulement des contrôleurs de ces derniers. C'est aussi un système dépendant et affecté par divers facteurs. Tels que la disposition du circuit imprimé, les composants externes et toute protection contre les événements de transitions et ESD (Electrostatic Discharge) présentent sur les signaux USB. Pour assurer une protection efficace, nous avons utilisé le circuit PCMF1USB3B entre le connecteur (Les signaux différentiels USB_D_N et USB_D_P) et le FT2232H.

Le PCMF1USB3B représente un filtre d'EMI en mode commun, avec protection bidirectionnelle intégrée contre les décharges électrostatiques (ESD) pour un canal différentiel. Utilisé pour avoir une faible perte d'insertion, dans le cas des signaux différentiels high-speed, tout en atténuant les signaux de mode commun indésirables. Chaque canal différentiel comprend deux lignes de signaux couplées par des bobines intégrées. Les diodes servent à protéger les composants en aval des tensions ESD jusqu'à ±20 kV sur chaque ligne de signal.

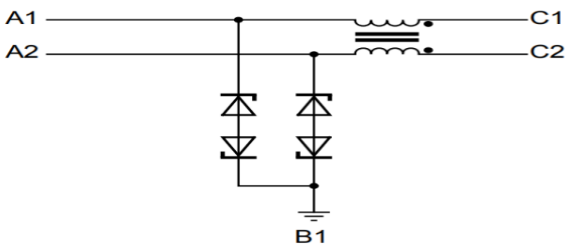


Fig. IV.17 : Schéma interne - PCMF1USB3B.

IV.2.3.2 Zynq 7010 : Bank CONFIG

Le brochage montré dans la figure suivante est basé sur le guide d'utilisateur 7 Series FPGAs Configuration, ainsi que les schémas de 'ZYBO Z7 Board' fournie par DIGILENT.

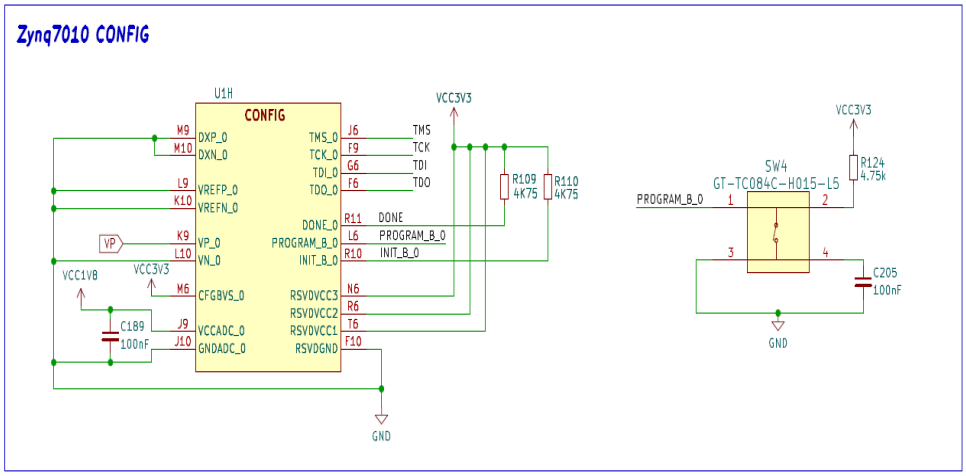


FIG. IV.18 : Zynq 7010 (Bank CONFIG) [59], [65].

Lorsque PROGRAM_B_0 est à un niveau bas, la configuration du FPGA est effacée et une nouvelle séquence de configuration se lance. La pin PROGRAM_B_0 est connecté à une résistance de pull-up (R124=4.7 KΩ) puis à l'alimentation VCCO_0 (3.3V) pour garantir une entrée à haute stabilité. Le bouton-poussoir permet de changer l'état de la pin PROGRAM_B_0 à un niveau bas. Ceci pour effectuer une réinitialisation manuelle de la configuration.

Un signal élevé sur la pin DONE indique que la séquence de configuration est terminée. Cette pin est connecté par une LED, afin de pouvoir visualiser la fin de configuration. Le FPGA fait passer la broche INIT_B_0 à un niveau bas, lorsque ce dernier est dans un état de réinitialisation de la configuration, initialisation de la mémoire de configuration (effacement), ou lorsqu'une erreur de configuration est détectée. À la fin du processus d'initialisation du FPGA, cette pin passe à un état de haute impédance (High Z). La résistance de pull-up (R110=4,7 Kohms) à VCCO_0 sert à assurer des transitions Low-to-High précises.

Le Bank CONFIG est liée avec un header de quatre broches dédiées pour l'interface JTAG (TCK, TMS, TDI et TDO), afin de programmer et de déboguer le SoC. Les composants PESD5V0F1BLD nommés CR [1: 4] sont des diodes de protection contre les décharges électrostatiques (ESD) bidirectionnelle. Conçue pour protéger une ligne de signal contre les dommages causés par les ESD et autres transitions. Les signaux UART (TX et RX) sont connectés avec Zynq dans la partie PS au Bank 501. (Voir annexe D)

IV.2.3.3 USB OTG : USB3320

- **Brochage électrique**

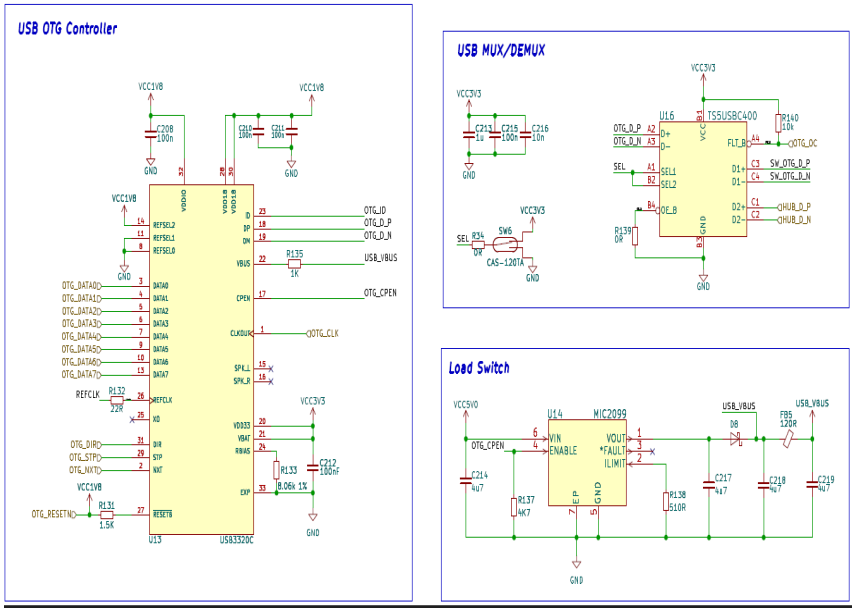


FIG. IV.19 : Brochage - USB3022 [59], [63].

Dans notre brochage, l'USB3320 est configuré pour une fréquence de référence, définie par les pins REFSEL [0:2], selon la figure suivante :

Configuration Pins			Description
REFSEL[2]	REFSEL[1]	REFSEL[0]	Reference Frequency
0	0	0	52 MHz
0	0	1	38.4 MHz
0	1	0	12 MHz
0	1	1	27 MHz
1	0	0	13 MHz
1	0	1	19.2 MHz
1	1	0	26 MHz
1	1	1	24 MHz

FIG. IV.20 : Configuration de la fréquence de référence.

Comme le monntre fig (brochage) les pins REFSEL [0 : 2] composent la combinaison binaire '0b100', qui indique que l'USB3320 est connecté avec une horloge externe d'une fréquence de 13MHz, via la pin REFCLK.

En ce qui concerne le protocole d'une demande de session SRP, les pins CPEN et VBUS sont chargés pour effectuer cette opération. Ces dernières sont liées à un load switch MIC2099, qui va accorder une génération d'une tension USB_VBUS de 5V avec un courant nominal limité à 500 mA.

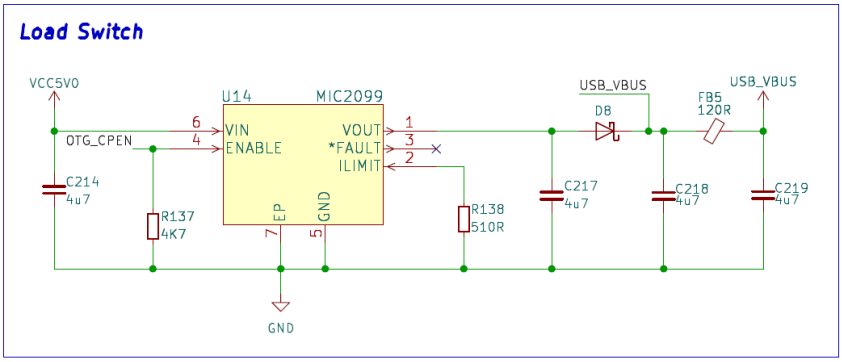


Fig. IV.21 : Load switch – MIC2099.

La limite de courant du composant MIC2099 est programmable par l'utilisateur et contrôlée par une résistance connectée entre la pin ILIMIT et GND. La valeur de cette dernière est déterminée par l'équation suivante :

$$R_{LIMIT} = \frac{\text{Current Limit Factor(CLF)}}{I_{LIMIT}}$$

Avec l'application de cette équation, les valeurs montrées dans la figure ci-dessous sont obtenues :

Dans notre cas, le courant ne doit pas dépasser 500 mA. Pour cela, l'intervalle choisi est [288 mA ; 517 mA], la valeur de résistance qui correspond à cet intervalle est $R_{LIMIT} = 510\Omega$ (Disponible sur le marché).

Nominal I_{LIMIT}	R_{LIMIT}	I_{LIMIT_MIN}	I_{LIMIT_MAX}
0.1A	1920	0.063	0.137
0.2A	1000	0.138	0.263
0.3A	672	0.211	0.391
0.4A	508	0.288	0.517
0.5A	412	0.369	0.638
0.6A	344	0.448	0.764
0.7A	298	0.533	0.884
0.8A	263	0.620	1.002
0.9A	235	0.709	1.118
1.0A	213	0.801	1.233
1.1A	195	0.895	1.346

Fig. IV.22 : Valeur de résistance de limitation [66].

Afin d'alimenter les périphériques connectés à notre PCB. L'activation/désactivation du load switch est contrôlé par le transceiver USB3022. Ceci est effectué par le changement d'état de la pin CPEN vers un niveau haut/bas. La pin VBUS du USB3022 est reliée à la sortie de tension VOUT, pour assurer que la tension VBUS sur le câble est valide. Ainsi que pour indiquer le début et fin de la session. La diode D8 est utilisé pour la protection du switch.

Les pins de l'interface ULPI : DATA[0 : 7], DIR, STP, NXT, CLKOUT ainsi que RESETN sont connectées au SoC (point à point), par les Banks 501 et 34 (voir annexe D).

Dans notre projet, l'émetteur- récepteur USB3022 dispose de deux options de brochage. Soit avec le connecteur de USB AB situé dans le SoM, ou bien avec un contrôleur USB HUB (USB2514B_Bi) dans la carte à application spécifique. Le principe de sélection entre les types de brochage cités est réalisé en utilisant le composant TS5USBC400 (MUX/DEMUX).

$\overline{OE}$	SEL1	SEL2	D- Connection	D+ Connection
H	X	X	High-Z	High-Z
L	L	L	D- to D1-	D+ to D1+
L	L	H	D- to D1-	D+ to D2+
L	H	L	D- to D2-	D+ to D1+
L	H	H	D- to D2-	D+ to D2+

FIG. IV.23 : Sélection des Output D1+/- et D2+/-.

Si les pins SEL[1; 2] sont connectées au GND, la sortie de MUX activée est la chaine D1+/-. L'émetteur-récepteur va connecter au USB OTG. Donc, les pins ID, DP, DM sont branchés au connecteur USB 2.0 AB à travers des composants PCMF1USB3B et PESD5V0F1BLD/CR5, dans le but d'assurer une protection contre l'ESD.

Cependant, si les pins SEL[1;2] sont connectées au VCC3V3, la sortie de MUX activée est la chaine D2+/-. L'émetteur-récepteur va être connecté à l'USB HUB. Par les deux signaux HUB_D_P/N, via les connecteurs mezzanines entre les deux PCBs. (Cette partie sera expliquée et détaillée dans ce qui suit).

Remarque : Les signaux de l'interface ULPI sont connectés (point à point) avec le Zynq, dans la partie PS Bank 501(voir annexe D).

IV.2.3.4 USB HUB : USB2514B

- **Brochage électrique**

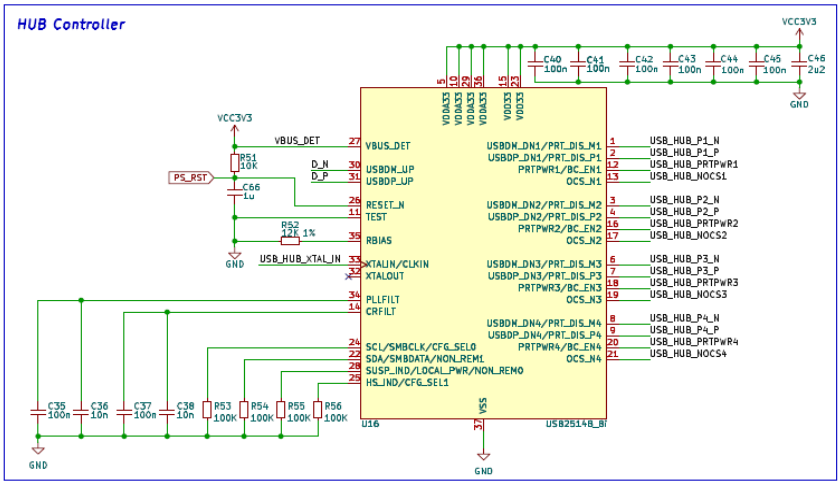


FIG. IV.24 : Brochage du circuit USB2514B_Bi [45], [67].

Les deux signaux de données D_N/P prévenant de SoM puis des connecteurs mezzanines, sont branchés dans le hub. Par la suite, ce dernier contrôlera la connexion des périphériques en aval.

- Pour le composant USB2514B_Bi, une horloge externe d'une fréquence de 24MHz est utilisée. C'est par cet effet que la pin XTALIN/CLKIN est relié avec l'extrémité de cette horloge. Cependant, XTALOUT reste flottante.

- La pin VBUS est branché à l'alimentation VCC3V3, car le hub est auto-alimenté avec un hôte attaché en permanence.

- Les quatre pins SDA/SMBDATA/ NON_REM1, SUSP_IND/LOCAL_PWR/

NON_REM0, SCJ/SMCLK/CFG_SEL0 et HS_IND/CFG_SEL1 sont des pins à plusieurs modes de fonctionnement (strapping pins), qui sont définies selon le brochage de ces derniers avec des résistances Pull-UP/Down (strapping resistors). Dans notre cas, les modes utilisés sont :

a- Les CFG_SEL[0: 1] servent pour la configuration du contrôleur USB. Ceci est expliqué dans la figure IV.25

CFG_SEL[1]	CFG_SEL[0]	Description
0	0	Default configuration: • Strap options enabled • Self-powered operation enabled • Individual power switching • Individual over-current sensing
0	1	The hub is configured externally over SMBus (as an SMBus slave device): • Strap options disabled • All registers configured over SMBus
1	0	Default configuration with the following overrides: • Bus-powered operation
1	1	The hub is configured over 2-wire I²C EEPROM: • Strap options disabled • All registers configured by I²C EEPROM

FIG. IV.25 : Configuration initiale de l'interface [45].

b- Les pins NON_REM[0: 1] détermine le type de connexion sur les ports, autrement dit si les périphériques sont détachables ou permanentes (Voir le tableau de description des pins). Dans notre cas, les dispositifs sont tous détachables. Par cet effet, ces pins sont connectés au GND par des résistances de 100KΩ.

- Dans le cas où un périphérique nécessite une alimentation, le hub activera un load switch correspondant à la sortie du dispositif à alimenter.

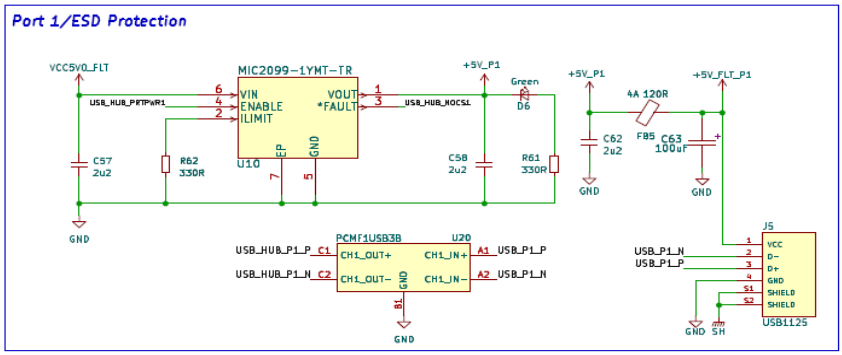


FIG. IV.26 : Brochage du load switch et connecteur USB du Port 1.

Remarque **:** Les brochages des quatre ports sont identiques.

- Les pins chargées par les échanges entre l'hôte et les périphériques sont celle connectée au USB_HUB_P[1:4]_N/P, USB_HUB_PRTPWR[1:4] et USB_HUB_NOCS[1:4] respectivement. Ces dernières formes quatre groupes de signaux, et offre une capacité pour connecter jusqu'à quatre dispositifs à la fois au hub.

- Les signaux USB_HUB_P[1:4]_N/P sont occupés par le transfert de données bidirectionnelles. Le circuit intégré PCMF1USB3B présente un rôle crucial dans le circuit USB HUB.

- Pour assurer un filtrage d'interférence électromagnétique en mode commun, avec protection bidirectionnelle intégrée contre les décharges électrostatiques (ESD) pour les canaux différentiels. Ces composants ont comme entrée les signaux USB_HUB_P[1:4]_N/P, et donnent en sortie USB_P[1:4] branchés au connecteur USB.

- Par ailleurs, les USB_HUB_PRTPWR[1:4] et USB_HUB_NOCS[1:4] sont utilisés dans le cas où le(s) périphérique(s) font appelle à une alimentation de 5V. Ceci est effectué avec l'activation du load switch, par la pin ENABLE. À ce moment, les tensions d'alimentations +5V_FLT_P[1:4] seront générées, après le passage par le filtre pass bas.

- Les USB_HUB_NOCS[1:4] connectés aux pins *FAULT sont consacrés pour l'indication de condition des surintensités au hub.

IV.2.3.5 Ethernet : RTL8211F

Une interface Ethernet peut être décomposée en deux couches : une couche MAC et une autre couche PHY. La communication entre elles peut se faire par le biais de plusieurs variantes d'une interface appelée "Media Independent Interface" ; (MII). Il existe cinq alternatives disponibles(xMII), qui sont MII, RMII, GMII, RGMII et SGMII. La partie PS de ZYNQ se connecte via une interface RGMII qui est acheminée à travers PS-MIO (Bank 501).

Signal name	Description	Direction
TXC	Clock signal	MAC to PHY
TXD[3..0]	Data to be transmitted	MAC to PHY
TX_CTL	Multiplexing of transmitter enable and transmitter error	MAC to PHY
RXC	Received clock signal (recovered from incoming received data)	PHY to MAC
RXD[3..0]	Received data	PHY to MAC
RX_CTL	Multiplexing of data received is valid and receiver error	PHY to MAC
MDC	Management interface clock	MAC to PHY
MDIO	Management interface I/O	Bidirectional

Fig. IV.27 : Signaux RGMII.

Pour les communications gigabit avec RGMII, les données sont transmises à la fois sur le front descendant et le front montant de l'horloge 125 MHz, ce qui permet de réduire de moitié le nombre de signaux de données. La norme RGMII exige l'ajout d'un délai d'horloge, compris entre 1.5 ns et 2 ns pour les signaux TXC et RXC afin de garantir que les signaux de données valides sont traités pendant les fronts descendants et montants. La plupart des dispositifs PHY et MAC prennent en charge le RGMII-ID (RGMII-Internal Delay) [68].

En plus du nombre de broches des interfaces RMII mentionnées, deux signaux doivent être ajoutés pour la MII management interface (MIIM : interface MDIO/MDC). Cette dernière est similaire au bus I2C, et utilisée par les dispositifs de niveau supérieur (tels que le MAC) pour déterminer l'état du PHY et programmer ces registres. Ceci afin d'ajuster les paramètres modifiables en cours d'exécution, tels que les réglages de l'horloge et les processus de réparation.

Le signal MDC (Management Data Clock) est une horloge de 25 MHz délivrée par le MAC. Le MDIO (Input/Output of Management Data) est un signal des données de management (bidirectionnel) à drain ouvert, donc il doit être connecté à une résistance pull-up [68].

- **Brochage électrique**

Le brochage de cette partie est basé sur la datasheet du circuit intégré RTL8211F, ainsi que le schéma électrique du Zybo Z7 fournie par Digilent.

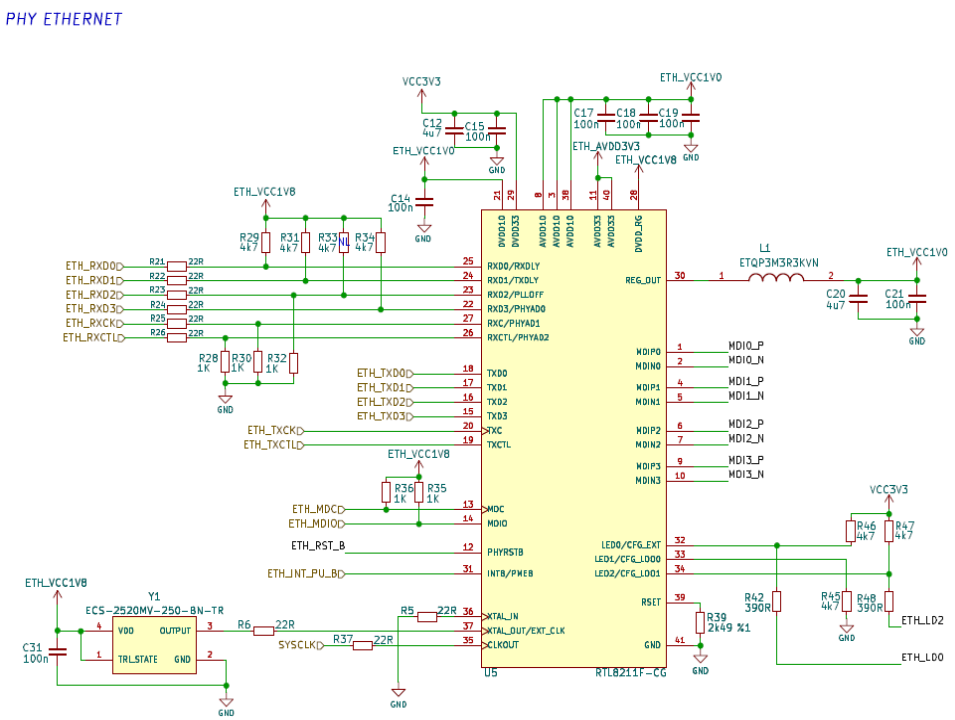


Fig. IV.28 : Brochage du RTL8211FCG [63].

De manière générale, un PHY intègre une sortie d'horloge de 25 MHz ou 125 MHz, générer par un synthétiseur d'horloge PLL. Dans le but d'avoir une synchronisation avec d'autres PHY ou comme référence d'entrée pour le périphérique MAC. Ceci est effectué par un cristal de référence ou un oscillateur (horloge externe) connecté avec une pin CLKOUT, généralement à une fréquence de 25 MHz. Dans notre brochage, nous avons utilisé une horloge externe. Cette dernière est connectée au RTL8211F-CG via la pin XTAL_OUT/ EXT_CLK, par une résistance de terminaison série. Par cet effet, la broche XTAL_IN est connectée au GND [40].

Les pins de l'interface RGMII sont connectées avec le Znyq 7010. En commençant du RTL8211F, puis les connecteurs mezzanine entre les deux PCBs, en suite vers la partie PS de SoC (Bank 501). L'utilisation des résistances de terminaison série pour les signaux de transmission du côté MAC (Zynq) et de réceptions du côté PHY (RTL8211F-CG) est nécessaire.

Les pins de réceptions disposent de deux modes de fonctionnements. Les RXD0/RXDLY et RXD1/TXDLY sont connectées aux résistances Pull-Up afin de rajouter un delay (RGMII- Internal Delay) de 2ns aux signaux RXC et TXC respectivement. La pin RXD2/

PLLOFF est liée avec une résistance Pull-Down, pour avoir un PLL activé dès l'alimentation du circuit intégré. Par ailleurs, les pins RXD3/PHYAD0, RXC/PHYAD1 et RXCTL/PHYAD2 définit l'adresse PHY pour le périphérique (dans notre, c'est 2'b001).

La broche LED0/CFG_EXT est connecté à une résistance Pull-Up. Ce qui implique que le bloc I/O est alimenté par une source externe (VCC1V8 générer par le régulateur SY8003ADFC). Les deux autres pins LED1/CFG_LDO0 et LED2/CFG_LDO1 servent à sélectionner la tension d'entrée de l'alimentation externe pour le bloc IO (CFG_LDO[1:0]= 2'b10 donc cette tension vaut 1.8V). Les pins LED1 et LED2 sont branchées avec le RJ45 et servent à visualiser la vitesse et l'état de la liaison [40].

Remarque : Les signaux de l'interface RGMII sont connectés avec le Zynq, dans la partie PS Bank 501(voir annexe D) .

IV.2.3.6 HDMI

- **Brochage électrique**

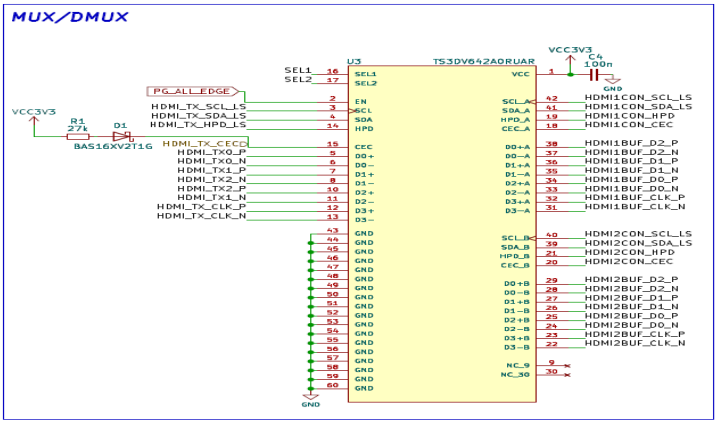


Fig. IV.29 : Brochage de MUX/DMUX TS3DV642 [59].

Les connecteurs HDMI à 19 broches comprennent trois canaux de données différentielles, un pour l'horloge différentielle, cinq connexions GND, un bus CEC (Consumer Electronics Control) à un seul fil, un bus DDC (Display Data Channel) à deux fils qui est essentiellement un bus I2C, un signal HPD (Hot Plug Detect), un signal 5V capable de

délivrer jusqu'à 50 mA et une broche réservée (RES).

Lorsqu'une source détecte un niveau élevé sur la broche HPD, celle-ci demande à l'émetteur sur le bus DDC de lui fournir des capacités vidéo (compatible DVI ou HDMI) et quelles résolutions sont prises en charge. À partir de ce moment-là que la transmission commence. Le Consumer Electronics Control, ou CEC, est un protocole optionnel qui permet de transmettre des messages de contrôle sur une chaîne HDMI entre différents appareils.

Ce brochage sert à sélectionner un des deux ports HDMI, afin d'assurer l'affichage. Ceci est effectué dès que la pin EN se met à l'état haut, après la génération du signal PG_ALL_EDGE (Pour indiquer que le système est alimenté correctement). La sélection ce fait avec un switch pour basculer les états des pins SEL[0:1] entre haut et bas.
Des résistances de terminaison parallèles sont utilisées à l'entrée du MUX/DMUX - TS3DV642, pour éliminer la réflexion. Par ailleurs, avec la présence de deux connecteurs HDMI. Une protection bidirectionnelle contre les décharges électrostatiques (ESD), ainsi qu'un filtre d'EMI en mode commun sont nécessaires. Ceci est appliqué par l'utilisation de composant PCMF1USB3B.

Remarque : Les signaux cités de l'interface HDMI sont connectés point-à-point avec le Zynq, dans la partie PL Bank 35 (voir annexe D).

IV.2.4 Connecteurs : BergStak® 0.8mm

• Brochage électrique

Les deux connecteurs choisis dans notre produit ModuZynq dispose de 120 positions chacun, pour avoir un total de 240 connexions dans chaque PCB (SoM et carte à application spécifique)[51], [52].

Le type de connecteur utilisé à une capacité de transmission jusqu'à 12Gb/s avec un courant nominal de 0.8A/contact. Pour cela, chaque signal de donnée pourra être transféré d'une façon directe entre les deux circuits imprimés. En partant des différents blocs de SoC utilisé Zynq7010 (PL_MOI : Bank 35, 34 et PS_MOI : 501), jusqu'aux deux connecteurs.

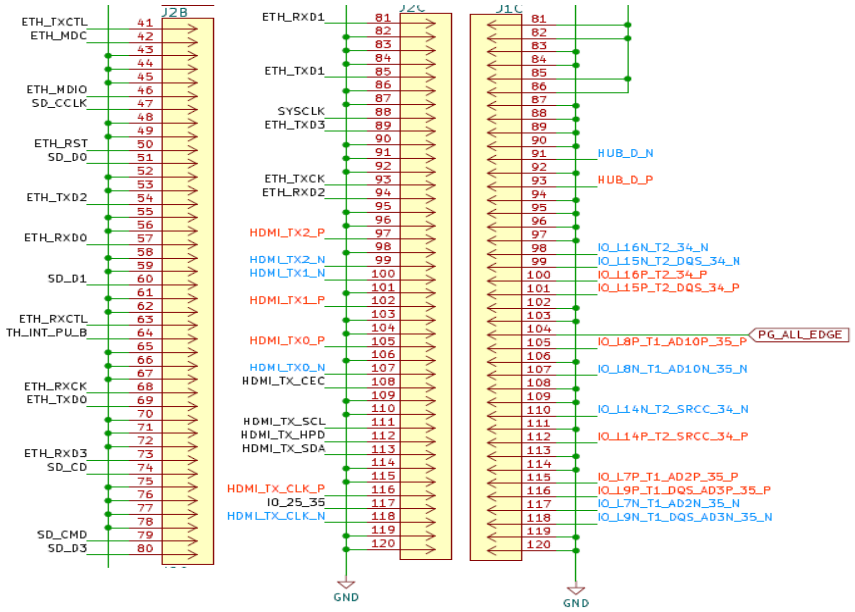


FIG. IV.30 : Partie du schéma électrique des connecteurs (Signales de Données et I/Os).

En revanche, pour les signaux d'alimentation (1.8 V, 3.3 V et 5V) utilisé afin d'alimenter la carte à application spécifique. Une division en plusieurs fils de transmission est effectuée pour faire passer ce type de signaux. Étant donné que les régulateurs SY8003A utilisés dans notre projet sont capables de délivrer un courant de sortie allant jusqu'à 3A pour chaque alimentation. Cette division est réalisée en prenant compte la quantité d'utilisation nécessaire de chacun de ces signaux (1.8 V, 3.3 V et 5V), afin d'alimenter les différents circuits qui constituent la carte à application spécifique.

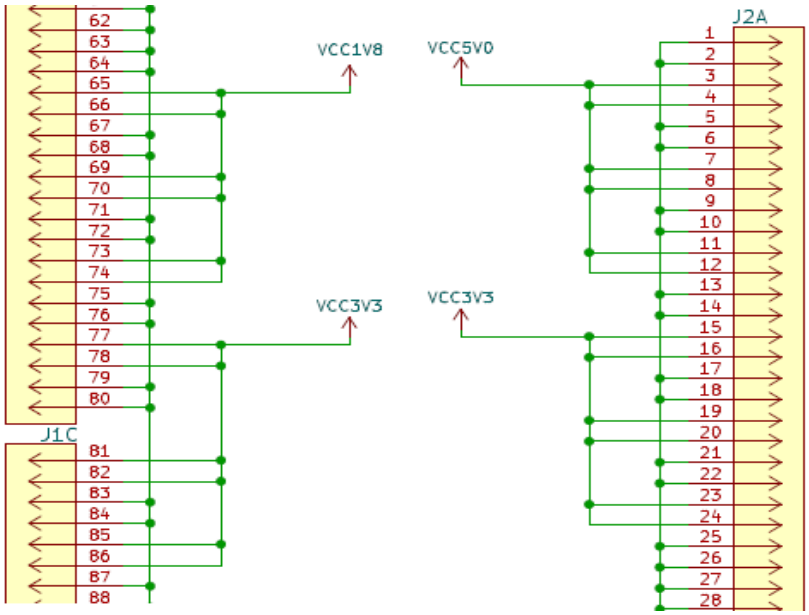


FIG. IV.31 : Partie du schéma électrique des connecteurs (Signales d'Alimentations, Données et I/Os).

IV.2.5 Zynq 7010: Bank 34, 35 et 501

Afin d'assurer l'aspect d'évolutivité dans notre projet, ce qui représente l'un des points fort de la modularité. des signaux I/Os non utilisés dans PL_MIO : Bank 35, 34 ont été reliés avec les pins des connecteurs restants. Ceci était fait, dans le but d'avoir plus de maniabilité et de flexibilité pour des usages du Système en module. Autrement dit, dans le cas d'utilisation de notre SoM avec d'autres cartes à application spécifique.

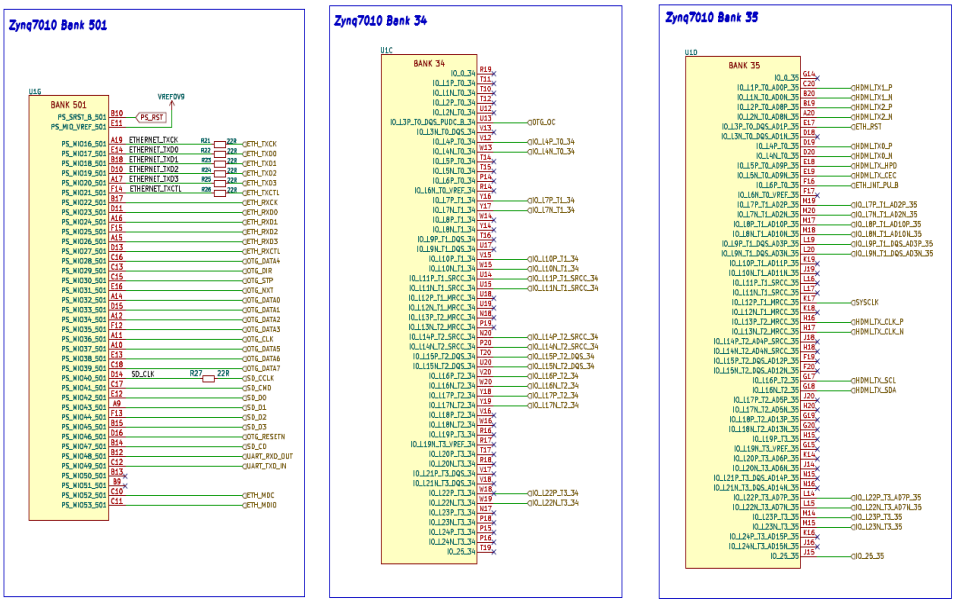


FIG. IV.32 : Zynq7010 (Bank 35, 34 et 501).

Pour le Bank 501, les pins se connectent pour la mise en œuvre de périphériques tels qu'USB, SDIO, UART et Ethernet. Le reste peuvent également être utilisé comme I/O à usage général pour connecter des boutons- poussoirs, des LED et/ou des switches au Zynq à partir de la carte à application spécifique.

La construction du brochage électrique pour les blocs 35, 34 et 501 est montrée dans la figure ci- dessus, est basé sur les schémas de 'ZYBO Z7 Board' [59].

IV.3 Layout

La conception et le routage des circuits intégrés revêtent une importance cruciale pour garantir des performances optimales des composants électroniques. Cette section se penchera sur les types de boîtiers que nous avons utilisés, à savoir le BGA (Ball Grid Array) et le WLCSP (Wafer-Level Chip Scale Package), ainsi que sur le QFP (Quad Flat Package) et le QFN (Quad Flat No-Lead). Chacun de ces boîtiers présente des caractéristiques uniques et nécessite des directives spécifiques en matière de routage et d'agencement (layout). De plus, on va traiter d'autres considérations appropriées à chaque circuit dans nos cartes électroniques

IV.3.1 BGA et WLCSP :

Cette partie est basée sur les informations fournies par [69]

IV.3.1.1 Description du boîtier :

BGA (Ball Grid Array) et WLCSP (Wafer-Level Chip Scale Package) sont des technologies d'encapsulation de circuits intégrés. Le BGA utilise un ensemble de billes de soudure situées en dessous pour se connecter à une PCB, offrant un grand nombre de pins et d'excellentes performances thermiques. En revanche, le WLCSP est un boîtier miniaturisé avec une empreinte de la taille de la puce et généralement sans pins externes, permettant des connexions directes au PCB. Le WLCSP est idéal pour les appareils électroniques compacts, à profil bas et légers.

IV.3.1.1 Directive de layout :

- **Exigence de Fan-Out**

En raison de la faible distance entre les billes du BGA et du WLCSP ainsi que de leur disposition en matrice, il n'est pas possible de faire passer toutes les billes sur une seule couche. Des vias de fan-out, également appelés vias d'évasion, sont nécessaires pour acheminer les billes vers différentes couches au sein du PCB

- **Schéma de fan-out recommandé**

Pour un pas de 1.0 mm et de 0.8 mm, le schéma de fan-out recommandée place chaque via dans l'espace entre quatre pads de BGA adjacents (en forme dog-bone) dans chacun des quatre quadrants autour du centre de la puce. Chaque groupe dog-bone est dans la direction opposée, cependant, l'intégrité du signal doit être priorisée. Une ou deux pistes peuvent être routées entre les pads de BGA adjacents (en fonction de leur largeur), permettant aux rangées les plus extérieures de billes d'être routées sans vias de distribution. Cette technique aide à distribuer efficacement les signaux, à réduire les interférences entre les signaux et à optimiser l'utilisation de l'espace sur la puce.

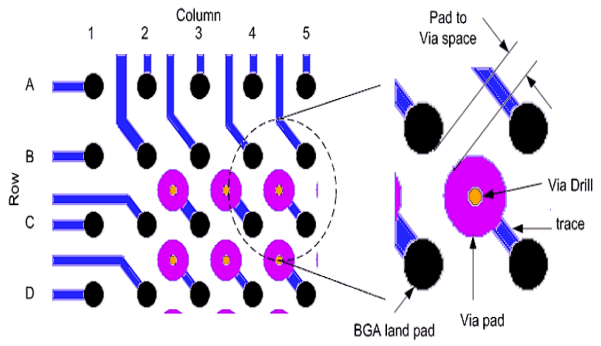


FIG. IV.33 : 1.0 et 0.8 mm pitch BGA Via fan-out pattern.

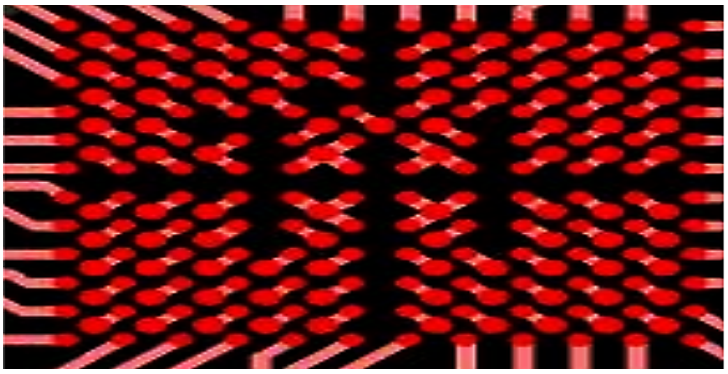


FIG. IV.34 : quadrant dog-bone fan-out

• **Personnalisation pour des BGA spécifiques**

Dans certains cas, tels que le BGA à pas de bille de 0.8 mm TFBGA296, les règles de conception du pad de BGA, de la largeur de la piste et de l'espacement entre la piste et le pad peuvent être ajustées pour permettre deux pistes entre les pad de BGA.

• **Règles de conception**

Des règles de conception spécifiques pour les vias BGA avec un pas de 1.0 mm et 0.8 mm sont fournies dans le Tableau 3, qui présente les directives de conception de l'outil de disposition.

BGA Pitch	BGA land pad	Via			Land pad to via space	Between vias		Between Land pads	
		Pad	Drill size / finished hole size	Inner plane layer anti-pad		Trace / space	# of traces	Trace / space	# of traces
1.0	0.45	0.55	0.3 / 0.18	0.800	0.2	0.15	1	0.18	1
1.0	0.45	0.485	0.25 / 0.1	0.695	0.24	0.1	2	0.11	2
0.8	0.35	0.485	0.25 / 0.1	0.695	0.148	0.105	1	0.15	1
0.8	0.30	0.485	0.25 / 0.1	0.695	0.173	0.105	1	0.1	2

FIG. IV.35 : 1.0 mm and 0.8 mm pitch BGA layout design rules

Pour les BGA avec un pas de 0.5 mm, le schéma de distribution recommandé diffère en raison de contraintes d'espace :

- **Le challenge de Fan-Out :** La règle conventionnelle consistant à centrer le via traversant entre quatre pad de BGA adjacents ne peut pas être appliquée aux BGA avec un pas de 0.5 mm. Le plus petit pad de via traversant est trop grand pour s'adapter à l'espace disponible entre les pads.

- **Stratégie de routage :** Pour remédier à cela, une seule piste est routée entre les pads de BGA adjacents, permettant aux deux rangées extérieures de billes d'être routées sans via de fan-out. Cependant, les deux rangées internes de billes doivent être routées vers des vias dans la zone centrale du BGA, puis acheminées sur d'autres couches.

- **Exemple de schéma de Fan-Out :** Un exemple de schéma de distribution pour le boîtier LFBGA320 est illustré dans la Figure 6. Si cela est mentionné par le fabricant, il est également possible de supprimer certains pins et de les remplacer par des vias de distribution, car ces pins ne seront pas connectés au CI.

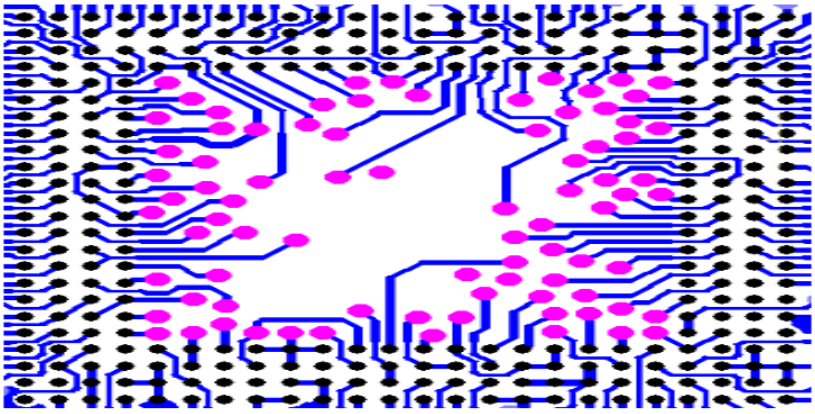


FIG. IV.36 : Exemple fan-out of LFBGA320

• **Règles de conception :** Les règles de conception spécifiques pour le schéma de fan-out des vias BGA avec un pas de.5 mm se trouvent dans le Tableau 5.

BGA Pitch	BGA land pad	Via			Land pad to via space	Between vias	Between Land pads	
		Pad	Drill size /finished hole size	Inner plane layer anti-pad		Trace / space	Trace / space	# of traces
0.5	0.25	0.4	0.2 / 0.05	0.6	0.1	0.1	0.08	1

FIG. IV.37 : 0.5 mm pitch BGA layout design rules

• **Alimentation et masse du BGA**

- **PDN du BGA :** Il est recommandé de distribuer les différentes tensions, ainsi que la masse, sur une couche plane de la PCB ou sur plusieurs couches (dans le cas de la masse) au lieu d'utiliser des pistes.

- **Routage de l'alimentation et de la masse du BGA :** Les billes d'alimentation et de masse du BGA sont généralement acheminées vers des vias de fan-out proches, tout comme les autres signaux, cependant, il est recommandé d'utiliser de courtes pistes larges chaque fois que possible.

- **Vias solides pour l'alimentation et la masse :** Les vias d'alimentation et de masse qui se connectent à une couche plane doivent être configurées comme des connexions solides à 360 degrés . Cela réduit l'inductance et garantit un plan de masse stable dans la zone BGA.

- **Éviter les connexions thermiques :** Il est conseillé d'éviter l'utilisation de connexions thermiques (à 4 points) pour l'alimentation et la masse.

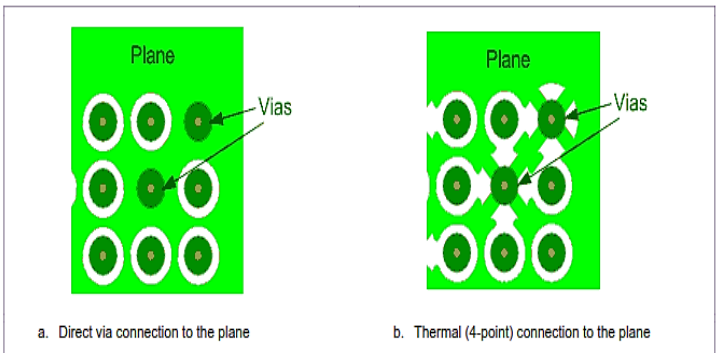


FIG. IV.38 : VIA to plane connection

IV.3.2 QFP et QFN

Cette partie est basée sur les informations fournies par [70]-[72].

IV.3.2.1 Description du boîtier



FIG. IV.39 : Boitier QFP et QFN

Le QFP (Quad Flat Package) présente des connexions métalliques plates visibles s'étendant depuis ses côtés (terminaisons en forme d'ailes de mouette), ce qui le rend plus grand. En revanche, le QFN (Quad Flat No-Lead) ne comporte pas de connexions conventionnelles, mais des pads exposés en dessous, offrant des avantages en termes d'économie d'espace. Les deux types de boîtiers présentent de meilleures performances thermiques grâce à leur pads FLAG ou ePAD (bien que tous les circuits intégrés QFP n'offrent pas cette option).

Les pads périphériques sont généralement utilisés pour l'attribution des signaux, tandis que l'utilisation du pad FLAG a deux rôles : elle constitue le principal chemin de conduction thermique pour évacuer la chaleur du boîtier et sert de masse pour le dispositif.

De nombreux dispositifs utilisent ce FLAG comme connexion principale ou unique à la masse, ainsi que comme chemin de conduction thermique.

IV.3.2.2 Directives de layout :

Augmenter le nombre de vias à l'intérieur du FLAG et les positionner près des bords réduit la zone de boucle du signal vers les circuits internes du dispositif, minimisant ainsi les longueurs de retour du signal.

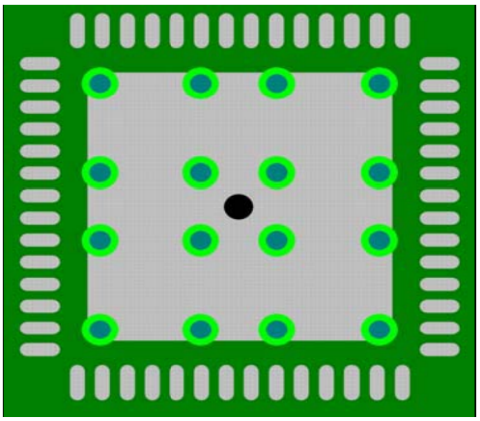


FIG. IV.40 : VIAs intérieur

- **Routage**

Une attention particulière doit être exercée lors du routage entre le FLAG et les pads. Il est généralement préférable d'utiliser des vias pour le dégagement partiel. Plus l'espace entre le FLAG et les pads est réduit, plus cette approche peut potentiellement entraîner des courts-circuits sous le dispositif. Pour minimiser le risque de courts-circuits, il est possible d'utiliser la technique du "via tenting" (capping des vias) et du "via plugging".

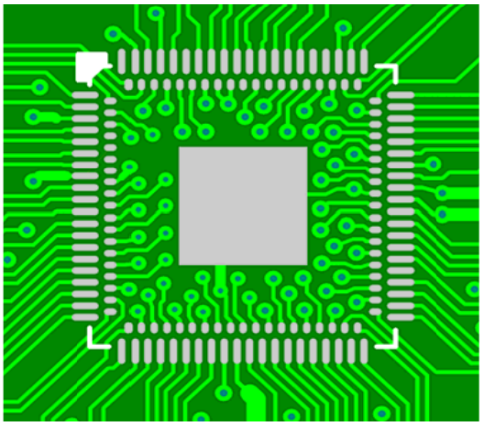


FIG. IV.41 : VIA tenting et du VIA plugging

- **Conception des VIAs du pad FLAG**

- Les connexions thermiques et électriques aux plans internes et/ou inférieurs en cuivre de la PCB sont établies à l'aide de vias métallisés traversants, comme illustré dans la figure IV.42 :

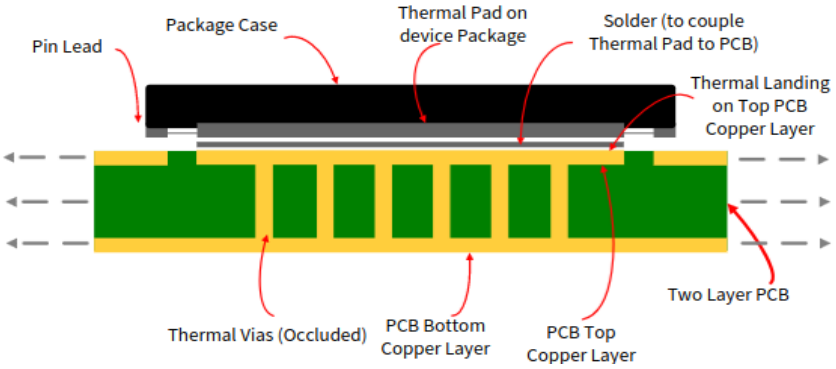


FIG. IV.42 : Un system thermique cross-sectional view

- Le diamètre et le nombre de vias dans le pad thermique dépendent des exigences thermiques, de la consommation électrique, de l'application et de la construction de la PCB.

- Un diamètre de trou typique pour les vias thermiques est de 0.2 à 0.5 mm avec un pas de 1.0 à 1.2 mm. Voici un exemple pour un pad FLAG de 6.05 x 6.05 mm.

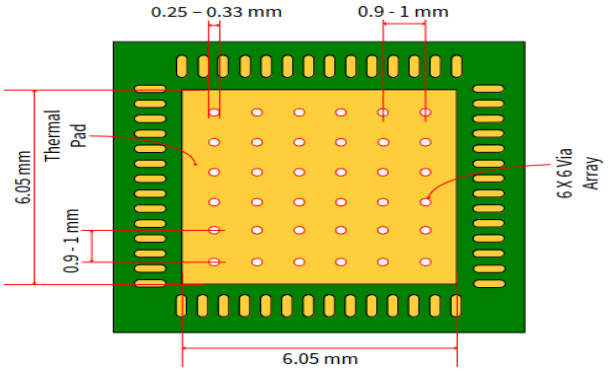


FIG. IV.43 : QFN landing pattern with 6 x 6 via array

- Le soulagement thermique devrait être évité, comme indiqué dans la figure IV.44.

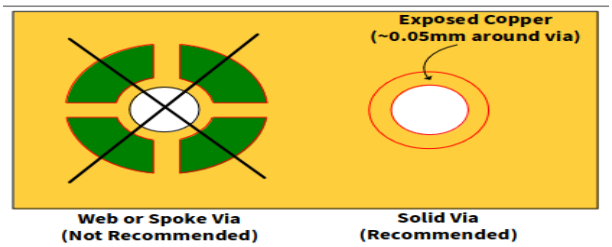


FIG. IV.44 : Thermal via

IV.3.3 Mémoires

IV.3.3.1 NAND Flash : eMMC

Cette partie est basée sur les informations fournies par [54]

Notre conception a été réalisée en respectant les règles présentées au chapitre 3, ainsi que les recommandations fournies par Micron expliquées dans la partie (A). Ces derniers sont en accord avec ce qui a été discuté auparavant.

Par exemple, chaque ligne de transmission est contrôlée par une impédance de 50 ohms, et une longueur totale de 38,25 mm. Cette valeur est inférieure à la longueur limite (Critical length = 50.8 mm), imposée et citée dans la référence utilisée. Par ailleurs, chaque VIA de signal ou de puissance dispose de son propre VIA de transfert. Cependant, les VIAs d'horloge possèdent chacune deux VIAs de transfert.

Le décalage du délai de propagation a été minimisé, en faisant passer les lignes de transmission dans les mêmes couches. Avec un nombre de transitions équivalent, ainsi qu'une longueur similaire dans chaque couche (tout en respectant la longueur critique).

• **Recommandations de Micron pour un design correct des PCBs**

- Placement des résistances et des condensateurs

Les condensateurs de découplage doivent être positionnés sur la face inférieure du circuit imprimé. Ceci à travers des VIAs disposés de façon réfléchie et méticuleuse, afin de minimiser l'inductance de la connexion. Les PADs du condensateur doivent être reliés au plan d'alimentation et de masse. Avec une utilisation de plus grandes VIAs (aussi grandes que les normes de fabrication le permettent). Cela permet de minimiser l'inductance dans les condensateurs de découplage et de maximiser le flux de courant. La figure suivante présente la manière de connecter les PADs de condensateur au plan d'alimentation et de masse.

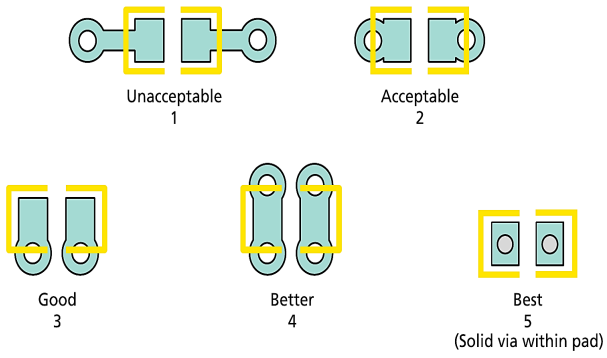


FIG. IV.45 : Les connexions recommandées des condensateurs aux VIAs de puissance.

Micron suggère que la résistance de terminaison en série de l'horloge, doit être positionnée de manière à être le plus proche possible de l'hôte. Pour les résistances pull-up et pull-down, Il n'y a pas de recommandations spécifiques. En suivant les règles fondamentales de conception des PCBs. Ces dernières doivent être placées en dernier, près de

leurs broches correspondantes. De sorte que les longueurs des lignes de transmission soient minimales.

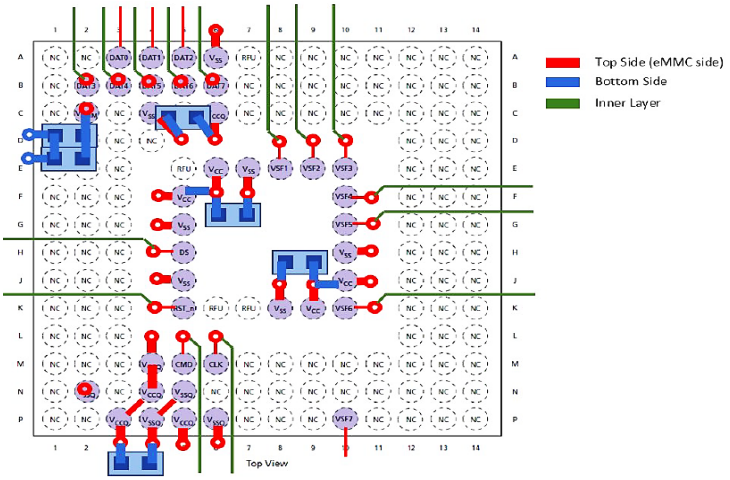


FIG. IV.46 : Placement des condensateurs et Routage des signaux recommandés.

• **Recommandations générales de layout et de routage**

- Le circuit imprimé doit être composé d'au moins quatre couches,

- Tous les signaux doivent être traités en tant que lignes de transmission avec une impédance contrôlée [45ohms ; 55ohms],

- Le décalage du délai de propagation de ces signaux doit être réduit à son minimum. La différence de longueur entre les pistes du PCB nécessite une limitation de ±1,27 mm,

- La longueur totale doit être aussi courte que les contraintes de fabrication le permettent, et maintenue en dessous de 50,8 mm (Critical length),

- La ligne de transmission se conçoit de manière que le conducteur soit le plus proche envisageable du plan de masse. Cette technique assure un couplage étroit entre la ligne de transmission et le plan de masse, et aide à la découpler des signaux adjacents,

- Les traces ne sont jamais plus proches que trois fois la largeur de la trace,

- Les signaux de l'eMMC peuvent être transmises à travers les pins NC, (Aucune connexion interne n'est présente pour ces broches). D'autre part, Micron ne recommande pas que les signaux eMMC soient transmis à travers les pins RFU. Comme le montre la figure IV.46,

- Les traces en forme d'arc sont à utiliser à la place des courbes à angle droit, comme le montre la figure IV.47.

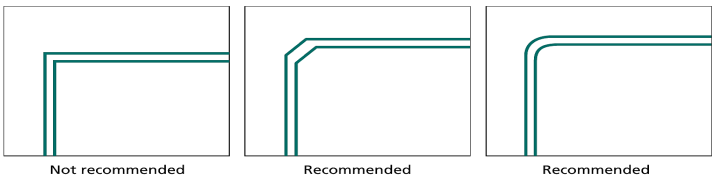


FIG. IV.47 : Forme de traces recommandées

- Il ne doit y avoir aucune coupure ou vide dans le plan de masse (au-dessous ou au-dessus) des signaux high-speed, comme le montre la figure IV.48

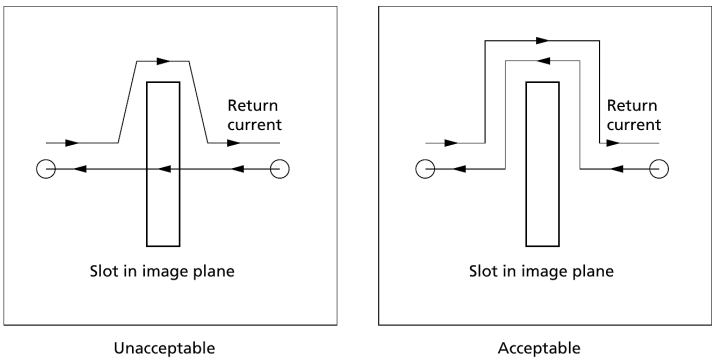


Fig. IV.48 : Recommandation concernant les ruptures ou les vides dans le plan de masse.

- L'intégration de signal est optimale lorsqu'un plan de référence constant est maintenu. Si une transition de plan de référence est inévitable, et que le plan de référence du signal passe d'un plan de masse à un autre, l'utilisation des VIAs de masse pour entourer tous les signaux à grande vitesse est obligatoire (deux VIAs de masse pour une VIA d'horloge, et une seule dans le cas de via de signal high-speed).

- Les stubs doivent être courts pour éviter les réflexions.

IV.3.3.2 DDR3L

Cette partie est basée sur les informations fournies par [54]

Routage des traces CK pour qu'elles soient égales ou plus longues que les traces DQS par voie de données. Ceci est nécessaire car :

- L'alignement en écriture est capable d'ajuster l'horloge pour écrire en alignement avec DQS sur une large plage, en supposant que la longueur de la trace de l'horloge soit plus longue que les traces DQS.

- L'alignement en lecture est capable d'ajuster la fenêtre de lecture des données pour lire DQS sur une large plage. L'ajustement est effectué par octet, donc les écarts sur la carte entre les bits (DQ, DM) doivent être minimisés (en dessous de 100 à 150 picosecondes, ce qui correspond à environ 15 à 20 mm sur les couches externes).

- Il n'y a pas de formation automatique pour aligner les commandes/l'adresse sur l'horloge, mais un décalage fixe est programmable et peut être utilisé si nécessaire. L'écart entre CK et les signaux de commande/adresse doit être minimisé (en dessous de 100 à 150 picosecondes, ce qui correspond à environ 15 à 20 mm sur les couches externes).

IV.3.3.3 QSPI

Les signaux QSPI sont considérés comme étant high-speed, nécessitant ainsi le même traitement que les autres circuits high-speed. De plus, son package SOIC ressemble à un QFN, nous devons donc appliquer des pratiques de gestion des packages QFN.

IV.3.3.4 SD Card

En raison du manque de ressources spécifiques sur ce circuit intégré, nous avons décidé de nous appuyer sur les directives générales de la conception high-speed, ainsi que les boîtiers QFN (Quad Flat No-Lead).

IV.3.4 Circuit USB HUB, OTG et JTAG

Les informations citées dans cette partie sont basés sur [73]-[75].

IV.3.4.1 Signaux USB 2.0

- Nous utilisons des selfs de mode commun.

- Nous évitons de connecter directement le blindage USB et la masse du signal sur le PCB.

- Les Ferrite beads sont interdites sur les signaux de données USB DP et DM, mais nous les recommandons sur VBUS.

- Les composants de filtrage tels que les condensateurs et les perles de ferrite doivent être placés près du connecteur USB.

IV.3.4.2 Impédance contrôlée pour les pistes USB

Nous maintenons une impédance différentielle nominale de 90 ohms pour les pistes USB DP/DM, avec une tolérance de +/- 15 %. Nous ajustons la largeur et l'espacement des pistes en fonction de l'épaisseur du diélectrique, du poids du cuivre ou de la configuration de la carte. Nous nous assurons qu'il y a un plan de référence continu sous les pistes DP/DM tout en maintenant un espacement approprié par rapport aux pistes étrangères.

IV.3.4.3 Isolation des pistes DP/DM

Nous gardons les pistes DP/DM isolé des circuits et signaux voisins, en maintenant une distance supérieure ou égale à cinq fois l'espacement entre les pistes. Nous évitons de faire passer des paires différentielles sous d'autres composants et pistes.

IV.3.4.4 Placement et routage de l'oscillateur à quartz :

- Nous plaçons l'oscillateur à quartz aussi près que possible du dispositif.

- Nous maintenons la longueur du signal d'horloge aussi courte que possible (idéalement <1").

IV.3.4.5 USB HUB

- Nous connectons les broches PRT_PWR/PRT_CTL pour le contrôle de l'alimentation aval.

- Nous plaçons un condensateur de 150uF sur la broche Vbus pour les ports aval exposés.

IV.3.4.6 USB OTG :

- Nous maintenons les pistes ULPI sous trois pouces.

- Nous envisageons de placer une résistance de terminaison en série près de la source d'horloge si nécessaire.

- Nous isolons les signaux ULPI des signaux et alimentations adjacents.

- Nous nous assurons que la disposition de l'interface ULPI respecte les exigences de synchronisation du contrôleur de lien USB, en tenant compte des retards dus aux longueurs de trace, aux trous d'interconnexion et aux connecteurs.

- Nous visons à faire passer les pistes ULPI à moins de 0,5 pouce du signal CLKOUT.

IV.3.4.7 RBIAS

Nous plaçons la résistance RBIAS près de la broche RBIAS et nous assurons un chemin de retour à la masse court et direct vers VSS. Nous isolons les pistes RBIAS des pistes voisines pour éviter la dégradation du courant de référence due au bruit.

IV.3.4.8 JTAG

- Nous pouvons ajuster les temps de montée/descente des signaux USB par programmation ou par l'ajout de composants passifs.

- Des condensateurs et des résistances peuvent être ajoutés aux signaux USB DP et DM pour modifier la synchronisation.

IV.3.5 Ethernet

IV.3.5.1 Emplacement

- Placer RTset du pin 28 de RTL8201 près de RTL8201 et loin de certains signaux.

- S'assurer que le cristal n'est pas placé près des ports d'E/S, des bords de la carte, des dispositifs haute fréquence ou des composants magnétiques.

- Mettre correctement à la masse le blindage extérieur du cristal.

- Séparer et monter les dispositifs magnétiques avec des champs magnétiques à 90° les uns par rapport aux autres.

- Placer les dispositifs à courant élevé près de la source d'alimentation pour réduire la longueur des pistes.

- Accorder une attention particulière aux résistances de terminaison et à l'adaptation d'impédance.

IV.3.5.2 Routage de trace

- Éviter les traces de signal à angle droit, en particulier entre les signaux numériques et analogiques.

- Considérer attentivement la longueur, la largeur et la hauteur des pistes par rapport aux plans de masse.

- Maintenir les pistes de signaux d'horloge et à haute vitesse courtes et larges.

- S'assurer que les pistes de signal d'alimentation sont courtes et larges, avec des trous d'interconnexion de grand diamètre pour les condensateurs de découplage.

- Placer les condensateurs de découplage aussi près que possible du circuit intégré.

- Accorder une importance au routage des pistes Tx± et Rx± pour minimiser les pertes de signal et maintenir la symétrie.

- Maintenir une distance importante entre les paires de signaux Tx et Rx.

- Utiliser des composants magnétiques appropriés.

IV.3.5.3 Connexion des pistes de l'interface MII au contrôleur LAN

- Maintenir la longueur des pistes entre le contrôleur LAN et le circuit intégré aussi courte que possible.

- Éviter les déséquilibres de longueur entre les signaux de données et leurs horloges associées.

IV.3.5.4 Alimentation et plan de masse

- S'assurer que le plan d'alimentation 3,3V prend en charge le circuit intégré et les autres composants.

- Garder les pistes d'alimentation 3,3V courtes et larges, en utilisant judicieusement des trous d'interconnexion (vias).

- Séparer les plans de masse numérique et analogique.

- Assurer de bons chemins de retour à la masse pour les pins de masse analogiques.

- Pour les conceptions à 2 couches, accorder une attention particulière aux performances analogiques.

- Envisager d'ajouter des condensateurs de découplage pour réduire les émissions électromagnétiques (EMI).

- Prêter attention aux spécifications et aux connexions du cristal.

- Utiliser des ferrites pour les broches d'alimentation analogiques.

- Il n'est pas recommandé de partitionner le plan de masse.

IV.3.5.6 Pour des performances analogiques meilleures et plus stables

- Maintenir un bon chemin de retour à la masse pour les broches de masse analogiques.

- Utiliser des condensateurs de découplage entre la masse du système et les plans d'alimentation si les émissions électromagnétiques (EMI) sont une préoccupation.

- Suivre les spécifications du cristal lors de l'utilisation d'un cristal de 25 MHz.

- Utiliser des ferrites et un découplage approprié pour les pins d'alimentation analogiques.

- Garder le plan de masse aussi grand et dégagé que possible.

- S'assurer que le courant nominal du régulateur est suffisant lors de la conversion de 5V en 3,3V.

IV.3.6 HDMI

Ce circuit intégré appartient à la famille des boîtiers QFN, nous avons donc appliqué les directives de conception QFN précédemment mentionnées. De plus, nous avons intégré les directives spécifiques fournies par le fabricant [76].

- **Condensateur de découplage :** Utiliser des condensateurs de découplage entre les pins d'alimentation électrique et les pins de mise à la masse pour maintenir une faible impédance, réduisant ainsi le bruit. Il est recommandé d'utiliser des condensateurs avec une fréquence d'auto-résonance élevée pour obtenir une faible impédance sur une large plage de fréquences.

- **Protection ESD et EMI :** Si des dispositifs de protection contre les décharges électrostatiques (ESD) et les interférences électromagnétiques (EMI) sont utilisés, placez-les le plus près possible du connecteur pour assurer une protection efficace.

- **Courtes longueurs de piste :** Maintenir de courtes longueurs de piste pour éviter une charge excessive et la dégradation du signal.

- **Minimisation de la diaphonie :** Pour minimiser la diaphonie entre les pistes adjacentes, maintenir une distance d'au moins deux fois la largeur de la piste entre elles.

- **Séparation des signaux :** Séparation des signaux Séparer les signaux à haute vitesse des signaux à basse vitesse et les signaux numériques des signaux analogiques pour éviter les interférences.

- **Évitez les coudes à angle droit :** Éviter les coudes à angle droit dans les pistes et achemine-les avec moins deux angles de 45°. Cela contribue à maintenir l'intégrité du signal.

- **Routage symétrique :** Les pistes de signaux différentiels à haute vitesse devraient être acheminées parallèlement autant que possible. Il est recommandé de maintenir la symétrie de ces pistes.

- **Plan de masse solide :** Placer un plan de masse solide à côté de la couche de signaux à haute vitesse. Cela fournit non seulement un chemin de retour pour le courant, mais réduit également l'inductance.

Pour conclure notre conception du système ModuZynq, composé de deux circuits imprimé : SoM et de cartes à application spécifique, nous présentons ci-dessous les schémas de disposition (layout) et de routage de l'ensemble des cartes.

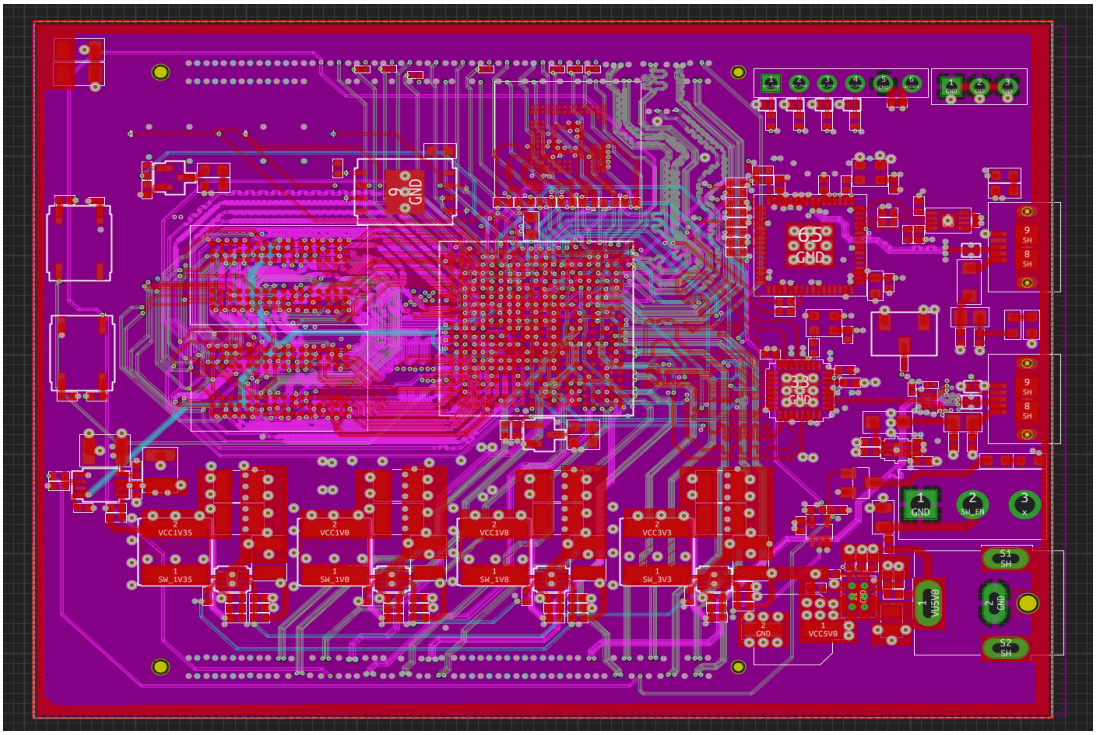


Fig. IV.49 : Système sur module.

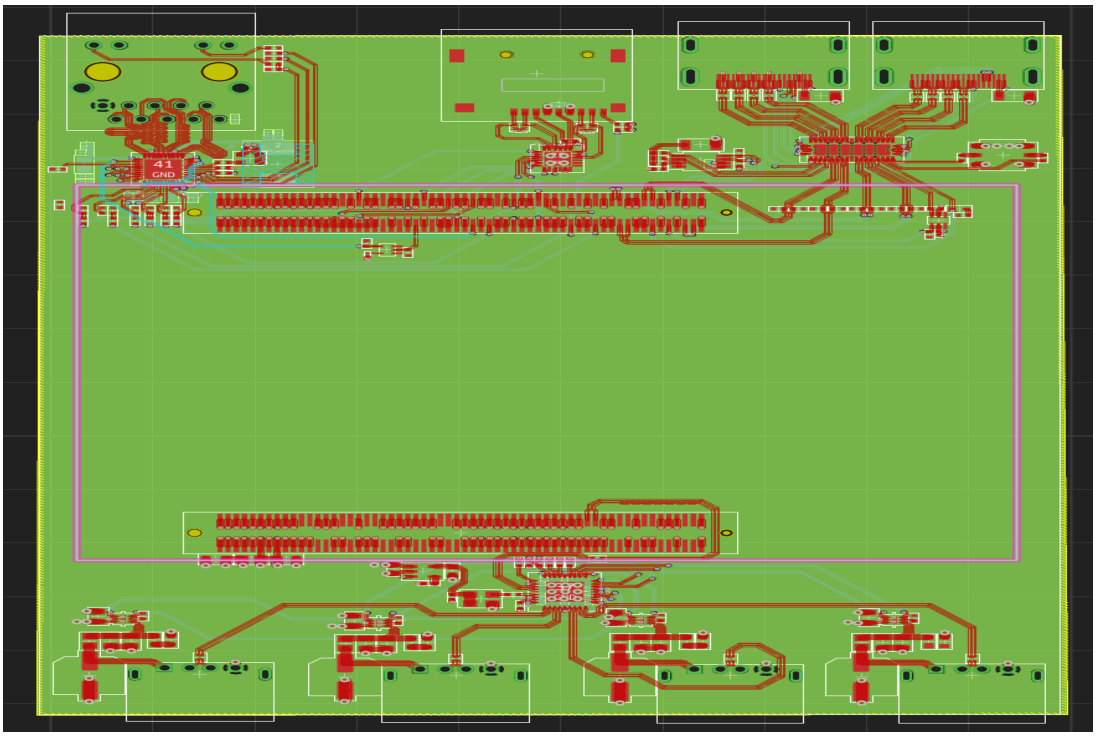


Fig. IV.50 : Carte à application spécifique.

IV.4 Conclusion

Pour conclure, ce chapitre a mis en évidence l'importance cruciale des schémas électriques, ainsi que le layout dans la conception du système ModuZynq.

L'objectif central de ce travail est de créer un système électronique capable de répondre aux exigences rigoureuses des applications multimédias avancées. Cette tâche exige une approche méthodique et le strict respect des normes de conception électronique.

Une des caractéristiques notables de notre démarche est l'utilisation de la méthodologie modulaire, qui présente plusieurs avantages. Offrant une flexibilité considérable, qui d'adapter notre système à des besoins spécifiques et de le faire évoluer au fil du temps. De plus, elle simplifie la gestion des composants et facilite les mises à jour et les améliorations.

Conclusion générale

En conclusion, ce travail de conception de PCBs modulaires pour une application multimédia avec le ModuZynq s'inscrit dans un contexte mondialisé d'intensification de la concurrence industrielle électronique. La pression pour proposer des produits exceptionnels, innovants, efficaces et à moindre coût, tout en respectant des délais serrés, est devenue la norme.

Face à ces défis, ce projet s'est attaqué à la nécessité de réduire le temps de développement des prototypes en explorant de nouvelles techniques de conception. L'approche modulaire a été identifiée comme une solution essentielle pour optimiser la réalisation des PCBs (Printed Circuit Boards). Cette approche prend en compte tous les aspects du cycle de vie du prototype, de l'utilisation à la fabrication, en passant par le développement et les spécifications techniques.

L'innovation majeure de ce travail réside dans la conception modulaire des produits, où les modules sont interconnectés via des protocoles de communication universels. Cette approche offre une efficacité, une réutilisabilité et une flexibilité accrues. Les modules simplifient la conception, accélèrent le développement, facilitent la maintenance et permettent des mises à jour rapides en réponse aux besoins changeants.

Ce travail s'est attaché à explorer et à mettre en œuvre une méthodologie de conception modulaire pour les PCBs, permettant de diviser les circuits en modules interconnectés et indépendants. Cette approche offre de nombreux avantages, notamment une efficacité accrue, une réutilisabilité des modules, et une flexibilité dans la gestion des besoins et des mises à jour. Elle simplifie également la conception, accélère le développement et facilite la maintenance des PCBs.

En se concentrant sur la conception d'une carte électronique avancée dédiée à une application multimédia, ce travail a illustré comment la conception modulaire permet d'intégrer rapidement les modifications et les améliorations nécessaires après chaque test, réduisant ainsi les délais de prototypage et les coûts associés.

Les chapitres ont exploré en détail les fondements de la conception modulaire des PCBs, les principes de base de la conception des PCBs, la configuration du ModuZynq pour les applications multimédias, et enfin, la conception du schéma électrique et du layout du PCB pour le ModuZynq.

En somme, ce projet a réussi à mettre en place une méthodologie de conception modulaire novatrice, offrant des solutions pratiques pour accélérer le développement des prototypes électroniques. Grâce à cette approche, il est possible de répondre rapidement aux besoins du marché, de réduire les coûts de développement et d'offrir des produits exceptionnels dans le contexte concurrentiel de l'industrie électronique mondiale. Ce travail représente une avancée significative dans la manière dont les PCBs sont conçus et constitue une contribution précieuse au domaine de la conception électronique moderne.

L'ajout du Wi-Fi à notre conception de PCB modulaire pour une application multimédia avec le ModuZynq est une perspective passionnante qui peut apporter de nouvelles fonctionnalités et opportunités à notre projet. En ajoutant le Wi-Fi à notre PCB modulaire, nous augmenterons la polyvalence de notre produit et son attrait pour les utilisateurs finaux. Cependant, cela nécessite une planification minutieuse, une conception matérielle et logicielle appropriée, ainsi que des tests approfondis pour garantir le succès de l'extension de notre projet.

Bibliographie

[1] S. Agelis, S. Jacobsson, M. Jonsson, A. Alping et P. Ligander, "Modular interconnection system for optical PCB and backplane communication", in *Proceedings 16th International Parallel and Distributed Processing Symposium*, Ft. Lauderdale, FL : IEEE, 2002, 6 pp, ISBN : 978-0-7695-1573-1. DOI : 10.1109/IPDPS.2002.1016665. adresse : http://ieeexplore.ieee.org/document/1016665/ (visité le 31/05/2023).

[2] B. E. M. Fotso, "Contribution à une méthodologie de conception modulaire : modélisation de la diversité dans les familles de produits.", fr, 2002.

[3] P. Cohendet, M. Diani et C. Lerch, "Stratégie modulaire dans la conception", fr, *Revue francaise de gestion*, t. 158, n° 5, p. 121-143, 2005, Number : 5 Bibliographie_available : 1 Cairndomain : www.cairn.info Cite Par_available : 0 Publisher : Lavoisier, ISSN : 0338-4551. adresse : https://www.cairn.info/revue-francaise-de-gestion-2005-5-page-121.htm (visité le 16/04/2023).

[4] O. Kerbrat, "Méthodologie de conception d'outillages modulaires hybrides basée sur l'évaluation quantitative de la complexité de fabrication", fr, thèse de doct., Ecole Centrale de Nantes (ECN), oct. 2009. adresse : https://theses.hal.science/tel-00439589 (visité le 14/04/2023).

[5] T. S. Team, *What is Signal Propagation Delay in a PCB ?*, en-US, nov. 2020. adresse : https://www.protoexpress.com/blog/signal-propagation-delay-pcb/ (visité le 09/05/2023).

[6] *Taking a Modular PCB Design Approach in Altium Designer*, en, mars 2021. adresse : https://resources.altium.com/p/taking-a-modular-pcb-design-approach-in-altium-designer (visité le 23/04/2023).

[7] R. PCB, *How to Achieve a Successful Modular PCB Design*, en-US, avr. 2023. adresse : https://www.raypcb.com/modular-pcb-design/ (visité le 12/05/2023).

[8] *Qu'est-ce qu'un PC modulaire ? - définition de techopedia - l'audio 2023*, fr, 2023. adresse : https://fr.theastrologypage.com/modular-pc (visité le 23/05/2023).

[9] *Framework Laptop Comparison*, fr, juin 2023. adresse : https://frame.work/fr/fr/laptop-comparison (visité le 23/05/2023).

[10] *Framework : le PC portable modulaire et démontable débarque en version AMD Ryzen*, fr, mai 2023. adresse : https://www.lesnumeriques.com/ordinateur-portable/framework-le-pc-portable-modulaire-et-demontable-debarque-en-version-amd-ryzen-n209447.html (visité le 23/05/2023).

[11] U. Digitale, “Dell présente un concept d’ordinateur portable entièrement modulaire”, fr, déc. 2022, Publisher : www.usine-digitale.fr. adresse : https://www.usine-digitale.fr/article/dell-presente-un-concept-d-ordinateur-portable-entierement-modulaire.N2078826 (visité le 23/05/2023).

[12] *Concept Luna : notre vision d’un PC durable*, fr-FR, jan. 2022. adresse : https://www.dell.com/fr-fr/blog/concept-luna-notre-vision-d-un-pc-durable/ (visité le 23/05/2023).

[13] *Design IP for Automotive SoCs : Trends and Solutions*, en-US, avr. 2019. adresse : https://silvaco.com/blog/design-ip-for-automotive-socs-trends-and-solutions/ (visité le 15/05/2023).

[14] *10 étapes faciles pour le plan de conception d’un projet de fabrication de circuit imprimé dans Altium Designer*, fr, août 2018. adresse : https://resources.altium.com/fr/p/10-easy-steps-comprehensively-designing-circuit-board-altium-designer (visité le 10/06/2023).

[15] *An Introduction to Printed Circuit Boards*, fr, juill. 2022. adresse : https://resources.pcb.cadence.com/blog/2022-an-introduction-to-printed-circuit-boards (visité le 28/05/2023).

[16] *Everything About Printed Circuit Board(PCB) Layers*, en, juin 2023. adresse : https://www.pcbastore.com/blogs/printed-circuit-board-layers-explained.html (visité le 28/05/2023).

[17] *PCB Layers : Everything You Need to Know*, en. adresse : https://www.wevolver.com/article/pcb-layers-everything-you-need-to-know (visité le 23/05/2023).

[18] zoyebella, *Introduction to Single Layer PCB - The Engineering Projects*, en-US, Section : Printed Circuit Boards, nov. 2021. adresse : https://www.theengineeringprojects.com/2021/11/introduction-to-single-layer-pcb.html (visité le 12/06/2023).

[19] *Différents types de cartes de circuits imprimés : PCB | Orienter l’affichage*, fr, juin 2023. adresse : https://www.orientdisplay.com/fr/knowledge-base/pcb-basics/different-types-of-pcb/ (visité le 12/06/2023).

[20] *RÉSOUDRE LES PROBLÈMES DE ROUTAGE DE CIRCUITS IMPRIMÉS MODERNES*, fr, mai 2017. adresse : https://resources.altium.com/fr/p/solving-the-routing-problems-of-modern-printed-circuits (visité le 12/06/2023).

[21] *Zybo Z7 - Digilent Reference*, juin 2023. adresse : https://digilent.com/reference/programmable-logic/zybo-z7/start (visité le 11/06/2023).

[22] W. Li, *PCB Flex rigide vs. PCB flexible - Technologie MOKO*, fr, oct. 2019. adresse : https://www.mokotechnology.com/rigid-flex-pcb-vs-flexible-pcb/ (visité le 11/06/2023).

[23] *Design for Manufacturing and Assembly (DFMA) | Siemens Software*, juin 2023. adresse : https://www.plm.automation.siemens.com/global/en/our-story/glossary/design-for-manufacturing-and-assembly-dfma/53982 (visité le 12/06/2023).

[24] *Conception pour la fabrication (DFM) Principes expliqués | Fractaire*, juin 2023. adresse : https://fractory.com/design-for-manufacturing-dfm/#What_Is_DFM (visité le 12/06/2023).

[25] *What Is Modular Hardware ?*, en-US, août 2020. adresse : https://resources.pcb.cadence.com/view-all/2020-what-is-modular-hardware (visité le 23/05/2023).

[26] A. N. (AVAILABLE). "CPU or FPGA or GPU for Image Processing : Which is Best ?" Accessed : Date (when you accessed the webpage). (Year of Publication (if available)), adresse : https://www.vision-systems.com/factory/article/14169567/cpu-or-fpga-or-gpu-for-image-processing-which-is-best.

[27] *FPGA Vs Microcontroller : Understanding the Key Differences*, en-US, juin 2023. adresse : https://rushpcb.com/fpga-vs-microcontroller-understanding-the-key-differences/ (visité le 10/09/2023).

[28] ALEX.FORENCICH, *Answer to "Why are FPGAs used so often for HDMI video projects ?"*, sept. 2015. adresse : https://electronics.stackexchange.com/a/189659 (visité le 10/09/2023).

[29] XILINX, *Zynq-7000 SoC Data Sheet : Overview*, 2023. adresse : https://docs.xilinx.com/v/u/en-US/ds190-Zynq-7000-Overview..

[30] P. GUOTENG, L. LI, O. GUODONG, D. QIANG et X. LUNGUO, "Design and Implementation of a DDR3-based Memory Controller", in *2013 Third International Conference on Intelligent System Design and Engineering Applications*, China, Hong Kong : IEEE, jan. 2013, p. 540-543, ISBN : 978-1-4673-4893-5 978-0-7695-4923-1. DOI : 10.1109/ISDEA.2012.132. adresse : http://ieeexplore.ieee.org/document/6456480/ (visité le 23/08/2023).

[31] MICRON, *DDR Memory MT41K256M16TW datasheet*, 2017. adresse : https://media-www.micron.com/-/media/client/global/documents/products/data-sheet/dram/ddr3/4gb_automotive_ddr3l.pdf?rev=e1dd3785b7794227a06d1e13ec024e5e.

[32] A. FUKAMI, S. SHEREMETOV, F. REGAZZONI, Z. GERADTS et C. DE LAAT, "Experimental Evaluation of e.MMC Data Recovery", *IEEE Transactions on Information Forensics and Security*, t. 17, p. 2074-2083, 2022, Conference Name : IEEE Transactions on Information Forensics and Security, ISSN : 1556-6021. DOI : 10.1109/TIFS.2022.3176187.

[33] N. FU, Y. LI, B. LIU, H. XU et Y. ZHANG, "Realization of controlling eMMC 5.0 device based on FPGA for automatic test system", in *2015 IEEE AUTOTESTCON*, National Harbor, MD, USA : IEEE, nov. 2015, p. 251-255, ISBN : 978-1-4799-8190-8. DOI : 10.1109/AUTEST.2015.7356498. adresse : http://ieeexplore.ieee.org/document/7356498/ (visité le 17/08/2023).

[34] QUICKLOGIC, *QuickLogic Secure Digital Input/Output*, 2022. adresse : https://www.quicklogic.com/wp-content/uploads/2018/10/QL-SDIO-Host-Controller-PSB-Data-Sheet.pdf.

[35] MICRON, *e.MMC Memory datasheet*, 2021. adresse : https://www.micron.com/-/media/client/global/documents/products/data-sheet/emmc/automotive/industrial_emmc_32_128gb_tlc_5_1_b.pdf?rev=e4b6973236124f2180a8003136603059.

[36] Xiaohu Wang et Zhaoming Huang, "Design and implementation of high speed QSPI memory controller", in *2013 IEEE 4th International Conference on Electronics Information and Emergency Communication*, Beijing, China : IEEE, nov. 2013, p. 82-85, ISBN : 978-1-4673-4933-8. DOI : 10.1109/ICEIEC.2013.6835459. adresse : http://ieeexplore.ieee.org/document/6835459/ (visité le 20/08/2023).

[37] XILINX, *Vivado Design Suite User Guide : Programming and Debugging*, 2022. adresse : https://www.xilinx.com/support/documents/sw_manuals/xilinx2022_1/ug908-vivado-programming-debugging.pdf.

[38] S. Eidson, B. Gaines et P. Wolf, "30.2: HDMI : High-Definition Multimedia Interface", en, *SID Symposium Digest of Technical Papers*, t. 34, nº 1, p. 1024, 2003, ISSN : 0097966X. DOI : 10.1889/1.1832462. adresse : http://doi.wiley.com/10.1889/1.1832462 (visité le 10/09/2023).

[39] T. Instrument, *TS3DV642 12-Channel 1:2 MUX/DEMUX with 1.8 V Compatible Control and Power-Down Mode*, 2018. adresse : https://www.ti.com/lit/ds/symlink/ts3dv642.pdf?ts=1694256266269&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FTS3DV642.

[40] *INTEGRATED 10/100/1000M ETHERNET PRECISION TRANSCEIVER*, 2020. adresse : https://datasheetspdf.com/pdf-file/906264/RealtekMicroelectronics/RTL8211F-CG/1.

[41] *Understanding microSD and SD cards : speeds, markings and more*, 2023. adresse : https://cdn-learn.adafruit.com/downloads/pdf/understanding-microsd-and-sd-cards-speeds-markings-and-more.pdf.

[42] Z. Lin, D. Meng et Q. Zhong, "Design and Implementation of OTG Communication System Terminal Based on USB", in *2011 International Conference on Control, Automation and Systems Engineering (CASE)*, Singapore, Singapore : IEEE, juill. 2011, p. 1-4, ISBN : 978-1-4577-0859-6. DOI : 10.1109/ICCASE.2011.5997526. adresse : http://ieeexplore.ieee.org/document/5997526/ (visité le 29/08/2023).

[43] M. Integrated, *USB On-the-Go Basics | Analog Devices*, 2012. adresse : https://www.analog.com/media/en/technical-documentation/tech-articles/usb-onthego-otg-uses-and-support--maxim-integrated.pdf.

[44] Microchip, *High speed USB 2.0 ULPI tranciver*, 2009. adresse : https://ww1.microchip.com/downloads/en/DeviceDoc/3320db.pdf.

[45] Microchip, *USB 2.0 Hi-Speed Hub Controller*, 2015. adresse : https://ww1.microchip.com/downloads/en/devicedoc/00001692c.pdf.

[46] K. Shringarpure, S. Pan, J. Kim et al., "Formulation and Network Model Reduction for Analysis of the Power Distribution Network in a Production-Level Multilayered Printed Circuit Board", *IEEE Transactions on Electromagnetic Compatibility*, t. 58, nº 3, p. 849-858, juin 2016, ISSN : 0018-9375, 1558-187X. DOI : 10.1109/TEMC.2016.2535459. adresse : http://ieeexplore.ieee.org/document/7450658/ (visité le 26/08/2023).

[47] XILINX, *https ://docs.xilinx.com/v/u/en-US/ds187-XC7Z010-XC7Z020-Data-Sheet*, 2020. adresse : https://docs.xilinx.com/v/u/en-US/ds187-XC7Z010-XC7Z020-Data-Sheet.

[48] T. INSTRUMENTS, *TPS25940EVM-635: Evaluation Module for TPS25940X*, 2017. adresse : https://www.ti.com/lit/ug/slvua44b/slvua44b.pdf?ts=1693017016913&ref_url=https%253A%252F%252Fwww.ti.com%252Ftool%252FTPS25940EVM-635.

[49] T. INSTRUMENTS, *TPS25940x 2.7 – 18V eFuse with True Reverse Blocking and DevSleep Support for SSDs*, 2014. adresse : https://www.ti.com/lit/ds/symlink/tps25940.pdf?ts=1693016656917.

[50] B. LAUE, J. PREIBISCH, G. NOTERMANS et al., *ESD APPLICATION HANDBOOK : PROTECTION CONCEPTS, TESTING AND SIMULATION FOR MODERN INTERFACES - Design Engineer's Guide*, Nexperia, 2023.

[51] A. BERGSTAK, "BergStak® 0.8mm Mezzanine Connector", en,

[52] *BergStak 0.80mm Pitch - Product Presentation*, 2022. adresse : https://cdn.amphenolcs.com/media/wysiwyg/files/documentation/customerpresentation/bergstak_0_80mm_productpresentation.pdf (visité le 26/06/2023).

[53] SILERGY. "AN_SY8003/SY8003A High Efficiency 5.5V, 3A continuous, 1MHz Synchronous Step Down Regulator". (2018), adresse : https://www.silergy.com/download/downloadFile?id=3766&type=product&ftype=note.

[54] DIGILENT, *Zynq-7000 PCB Design Guide UG933*, 2019. adresse : https://docs.xilinx.com/v/u/en-US/ug933-Zynq-7000-PCB.

[55] ROHM, *VTT BD3539 datasheet*, 2014. adresse : https://www.mouser.com/datasheet/2/348/bd3539xxx-e-596263.pdf.

[56] MICRON, *e.mmc pcb design guide 5.1*, 2023. adresse : https://www.micron.com/-/media/client/global/documents/products/technical%20note/emmc/tnfc62_emmc_pcb_design_guide_5,-d-,1.pdf?rev=8a93eaae9feb457cbbf8347be3954cdb.

[57] MICRON, *e.mmc hs400, hs200 mode*, 2016. adresse : https://www.micron.com/-/media/client/global/documents/products/technical-note/emmc/tnfc46_configure_hs200_hs400_mode.pdf?rev=8ebc7a5718b84819bd79f3cf909051b4.

[58] WINBOND. "W25Q128JV Rev. F 03272018". (2018), adresse : https://www.winbond.com/resource-files/w25q128jv%20revf%2003272018%20plus.pdf.

[59] DIGILENT, *ZYBO Z7- Sch*, 2022. adresse : https://files.digilent.com/resources/programmable-logic/zybo-z7/zybo-z7-d1-sch.pdf.

[60] WINBOND, *Recommended Schematic Reference for Winbond SPI NOR Flash Device*, 2020. adresse : https://www.winbond.com/hq/search/newIndex.jsp?q=Recommended+Schemati&__locale=en.

[61] XILINX, *Boot and Configuration*, 2021. adresse : https://www.xilinx.com/content/dam/xilinx/support/documents/user_guides/ug585-Zynq-7000-TRM.pdf#nameddest=xDeviceSecureBoot.

[62] AMDA, *Versal AI Core Series VCK190*, 2020. adresse : https://www.xilinx.com/support/documentation-navigation/see-all-versions.html?xlnxproducttypes=Boards%20and%20Kits&xlnxdocumentid=XTP610.

[63] F. A.-P. Salmony. “Advanced Digital Hardware Design”. Un cour en ligne (payant), qui met en disposition tous les schémas du PCB ZettBrett. (2023), adresse : https://www.fedevel.com/courses/advanced-digital-hardware-design.

[64] FTDI. “DS_FT2232H”. (2020), adresse : https://ftdichip.com/wp-content/uploads/2020/08/DS_FT2232H.pdf.

[65] AMDA, *7 Series FPGAs Configuration User Guide*, 2020. adresse : https://docs.xilinx.com/r/en-US/ug470_7Series_Config.

[66] MICREL, *current limited*, 2011. adresse : https://ww1.microchip.com/downloads/en/DeviceDoc/mic2095.pdf.

[67] P. Salmony. “USB Hub Design”. (2022), adresse : https://www.youtube.com/watch?v=iR2hYpq0KI0&t=680s.

[68] *Gigabit Ethernet 101: Basics to Implementation*, en, déc. 2020. adresse : https://resources.altium.com/p/gigabit-ethernet-101-basics-implementation (visité le 10/09/2023).

[69] NXP Semiconductors, *PCB layout guidelines for NXP MCUs in BGA packages*, Rev. 2, avr. 2011.

[70] Infineon Technologies. “Board Assembly Recommendations for QFP Package”. (2020), adresse : https://www.infineon.com/dgdl/Infineon-Board_Assembly_Recommendations-QFP-Package-v06_00-EN.pdf?fileId=5546d46275b79adb0175bd38e18f609

[71] W. Little, *PCB Design Guidelines for QFN and DQFN Packages*, Microchip Technology Inc., 2014.

[72] Infineon Technologies. “Board Assembly Recommendations for QFP Package”. (2020), adresse : https://www.infineon.com/dgdl/Infineon-Board_Assembly_Recommendations-QFP-Package-v06_00-EN.pdf?fileId=5546d46275b79adb0175bd38e18f609

[73] Microchip, “USB332x Transceiver Layout Guidelines”, Microchip Technology Inc., Application Note, 2018.

[74] Author or Organization Name, “ULPI Design Guide”, Publisher or Source, Design Guide, 2018.

[75] R. Titus, “USB Device Design Checklist”, Microchip Technology Inc., rapp. tech., 2015.

[76] Texas Instruments. “TS3DV642 12-Channel 1:2 MUX/DEMUX with 1.8 V Compatible Control and Power-Down Mode”. SCDS343F. (août 2018).

Annexe

Annexe D

ZYBO_PWR

File: fpga power.kicad_sch

POWER

File: power.kicad_sch

Bank 34_35_501

File: 34_35_501.kicad_sch

USB OTG

File: USB OTG.kicad_sch

USB & JTAG

File: USB & JTAG.kicad_sch

DDR3_502

File: ddr3.kicad_sch

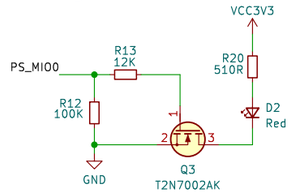
EMMC_QSPI_500

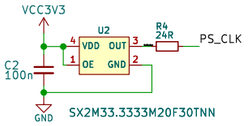
File: emmc_qspi.kicad_sch

Chassis & GND Connection

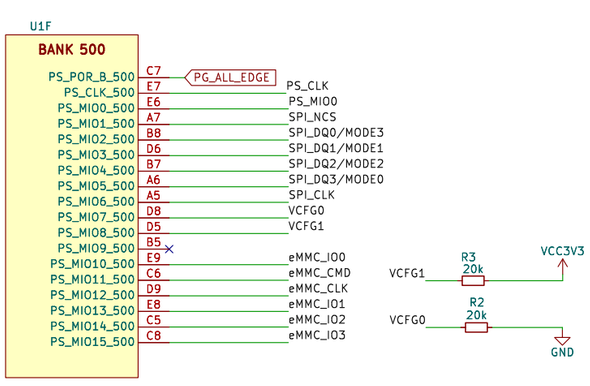
Sheet: /		
File: SOM.kicad_sch		
Title:		
Size: A2	Date:	Rev:
KiCad E.D.A. kicad (7.0.0)		Id: 1/8

LED Prog

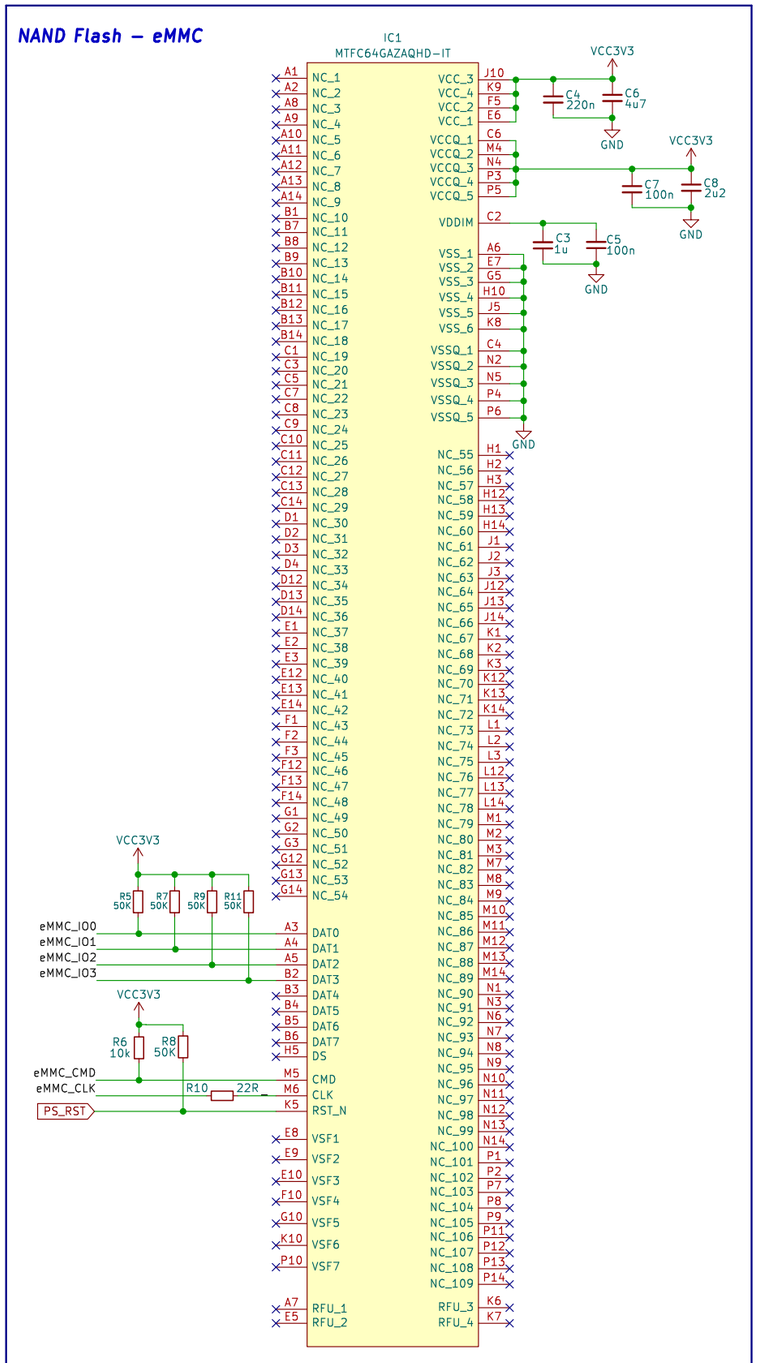




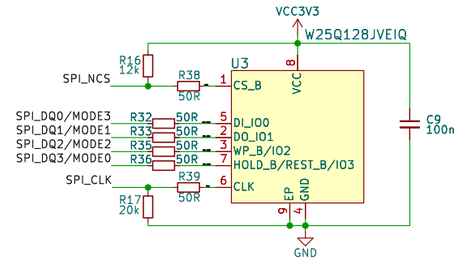
Zynq7010 Bank500



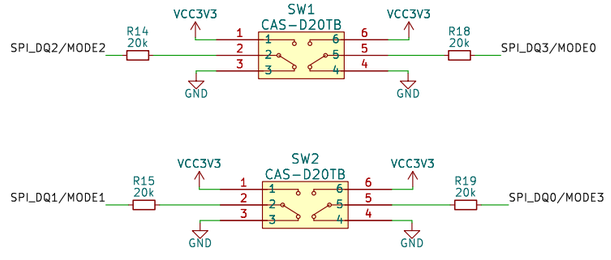
NAND Flash – eMMC



NOR Flash – QSPI



Boot Mode

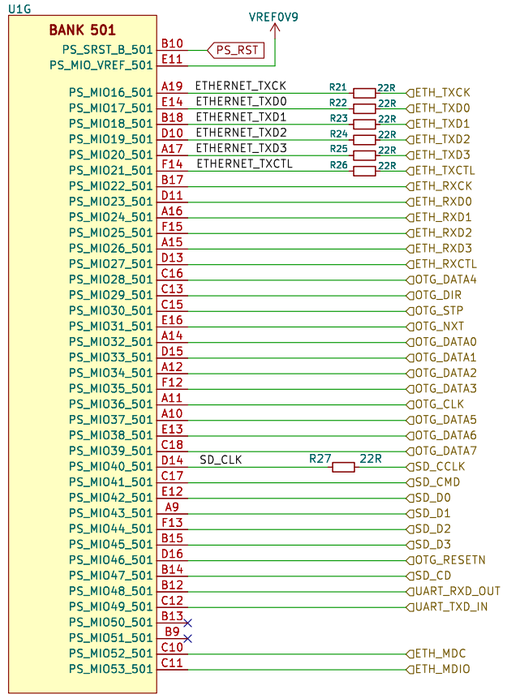


Sheet: /EMMC_QSPI_500/
File: emmc_qspi.kicad_sch

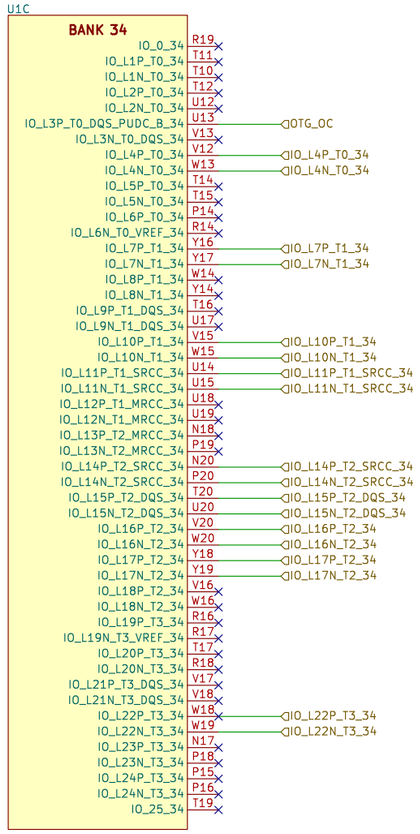
Title:

Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 2/8

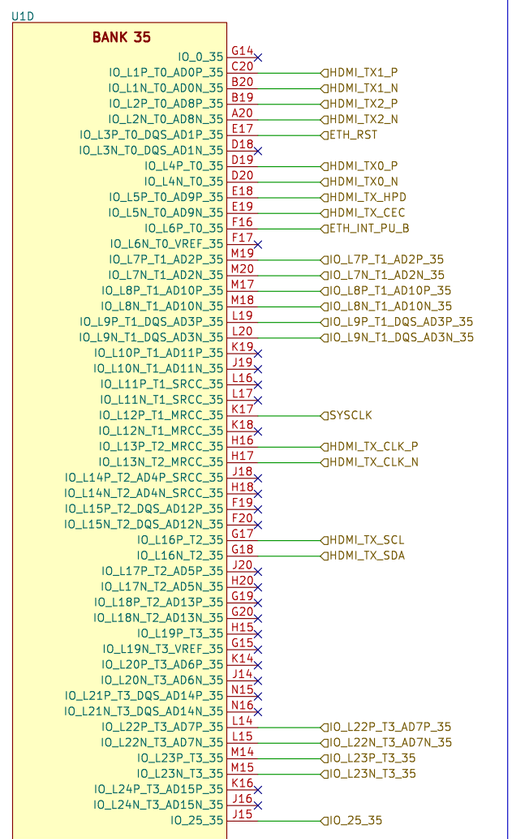
Zynq7010 Bank 501

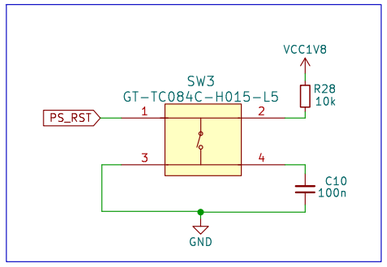


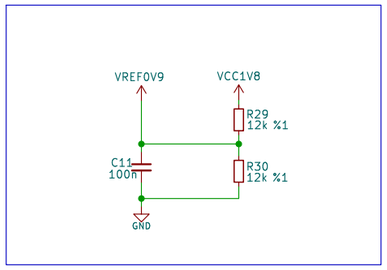
Zynq7010 Bank 34



Zynq7010 Bank 35





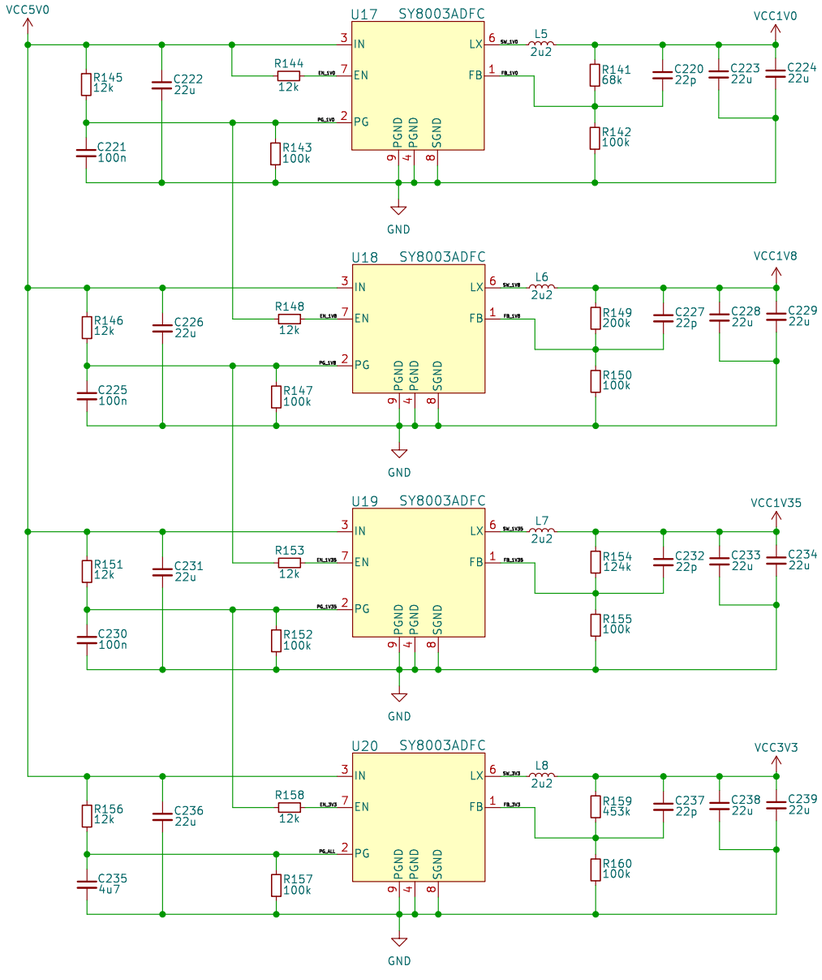


Sheet: /Bank 34_35_501/
File: 34_35_501.kicad_sch

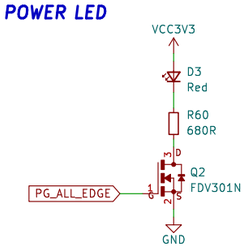
Title:

Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 3/8

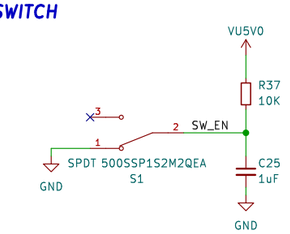
Buck Regulator



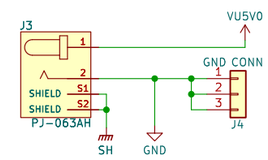
POWER LED



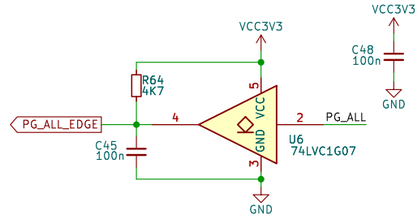
POWER SWITCH



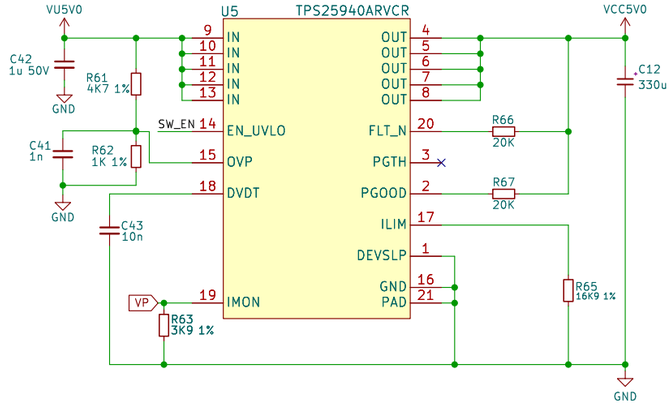
POWER JACK



PG Amplification

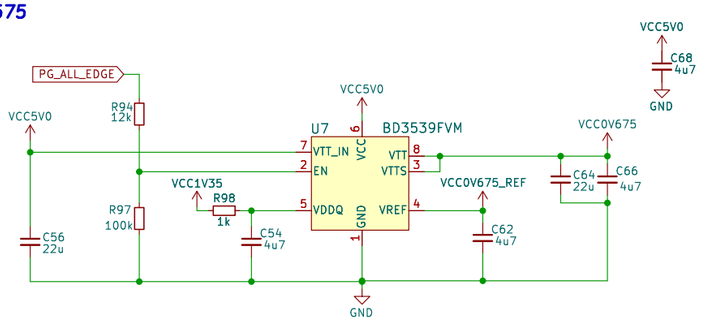


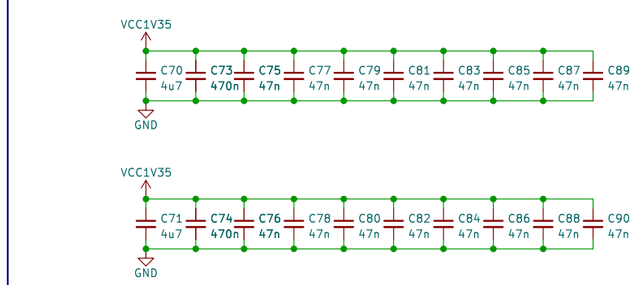
eFuse

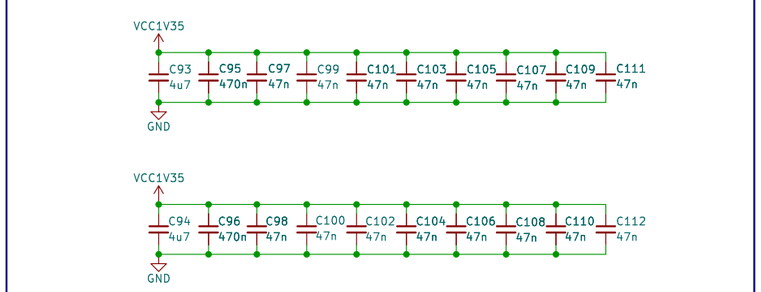


Sheet: /POWER/		
File: power.kicad_sch		
Title:		
Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 4/8

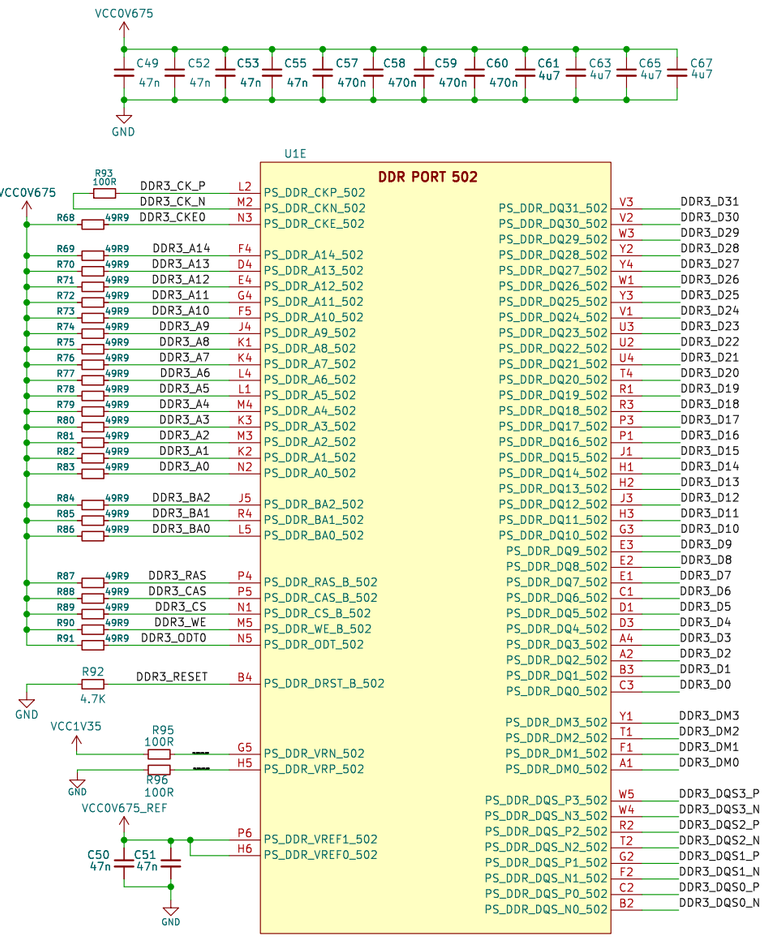
VTT 0V675



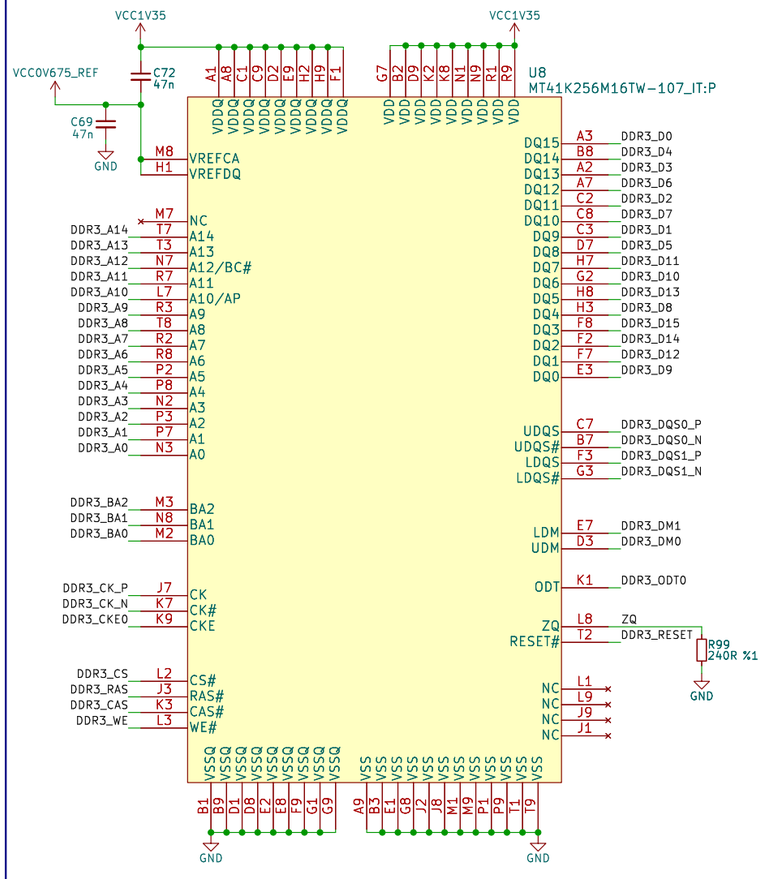




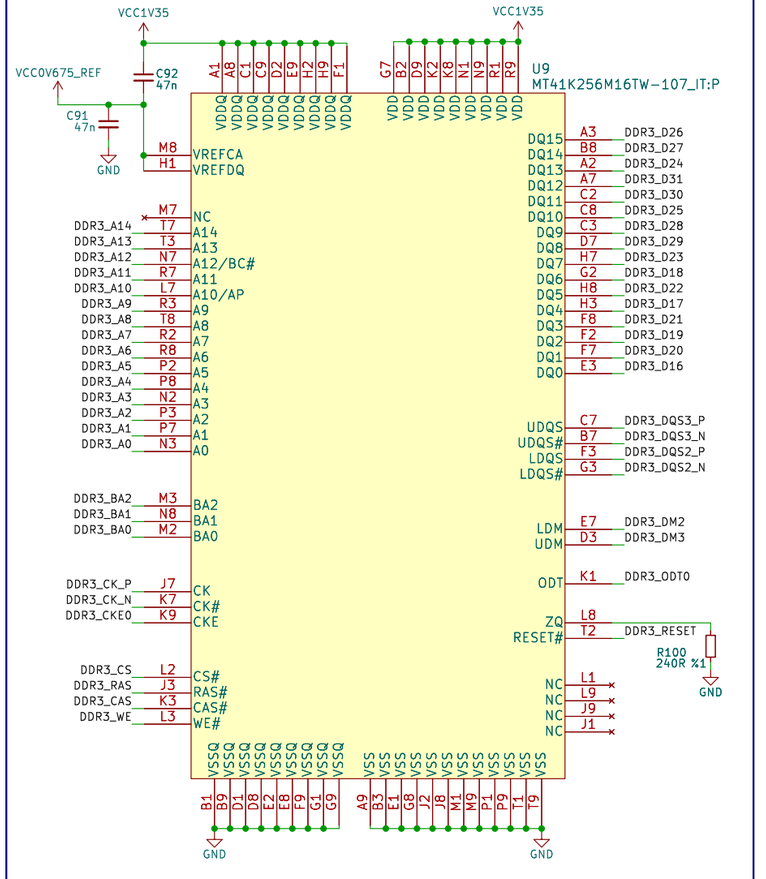
Zynq7010 Bank502



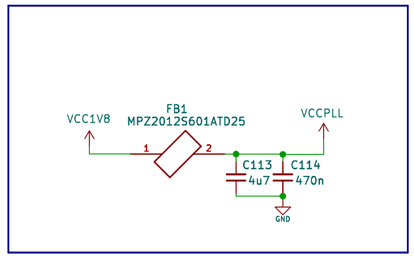
DDRL3 DQ[0:15]

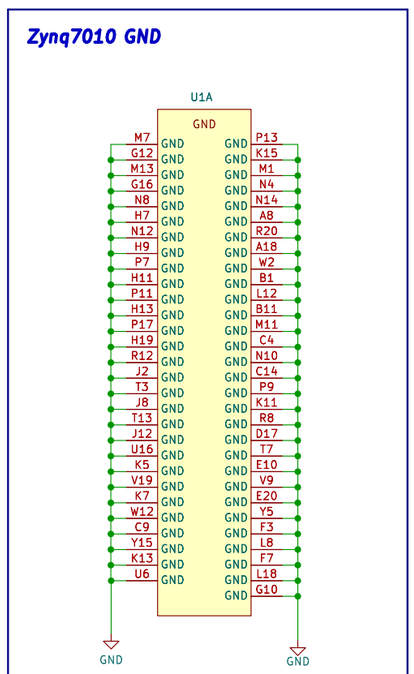


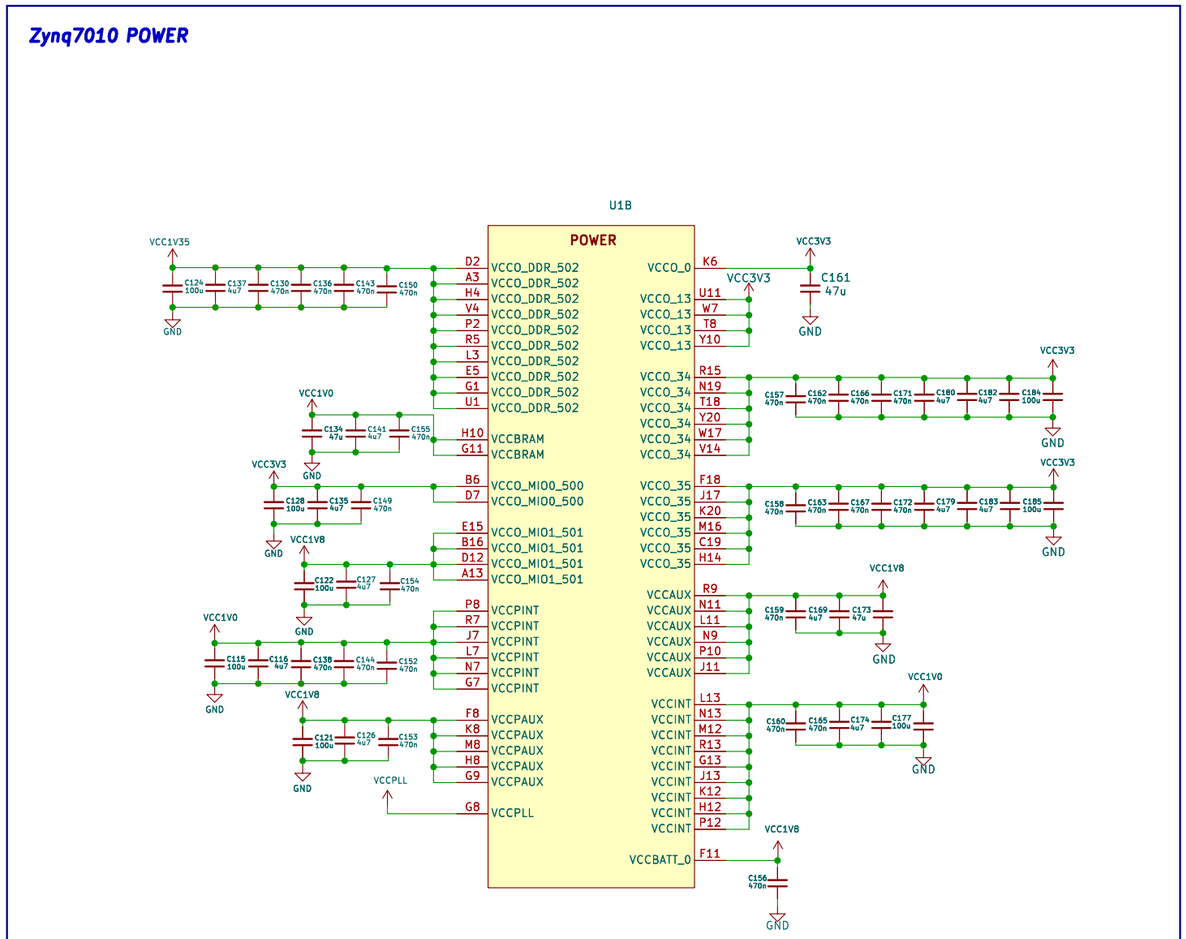
DDRL3 DQ[16:31]



Sheet: /DDR3_502/		
File: ddr3.kicad_sch		
Title:		
Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 5/8

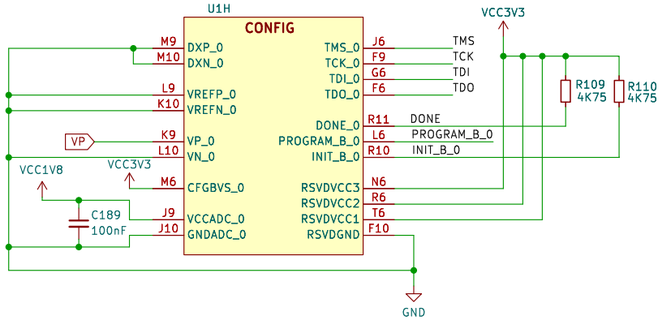


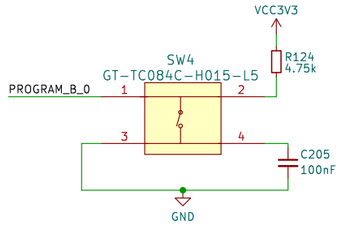


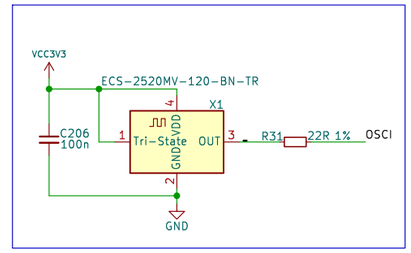


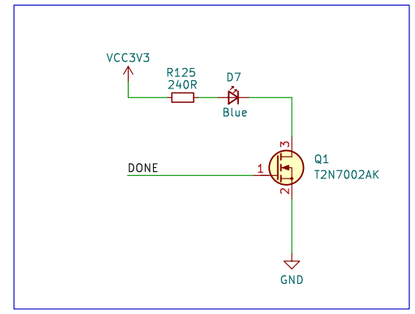
Sheet: /ZYBO_PWR/	
File: fpga power.kicad_sch	
Title:	
Size: A3	Date:
KiCad E.D.A. kicad (7.0.0)	Id: 6/8

Zynq7010 CONFIG

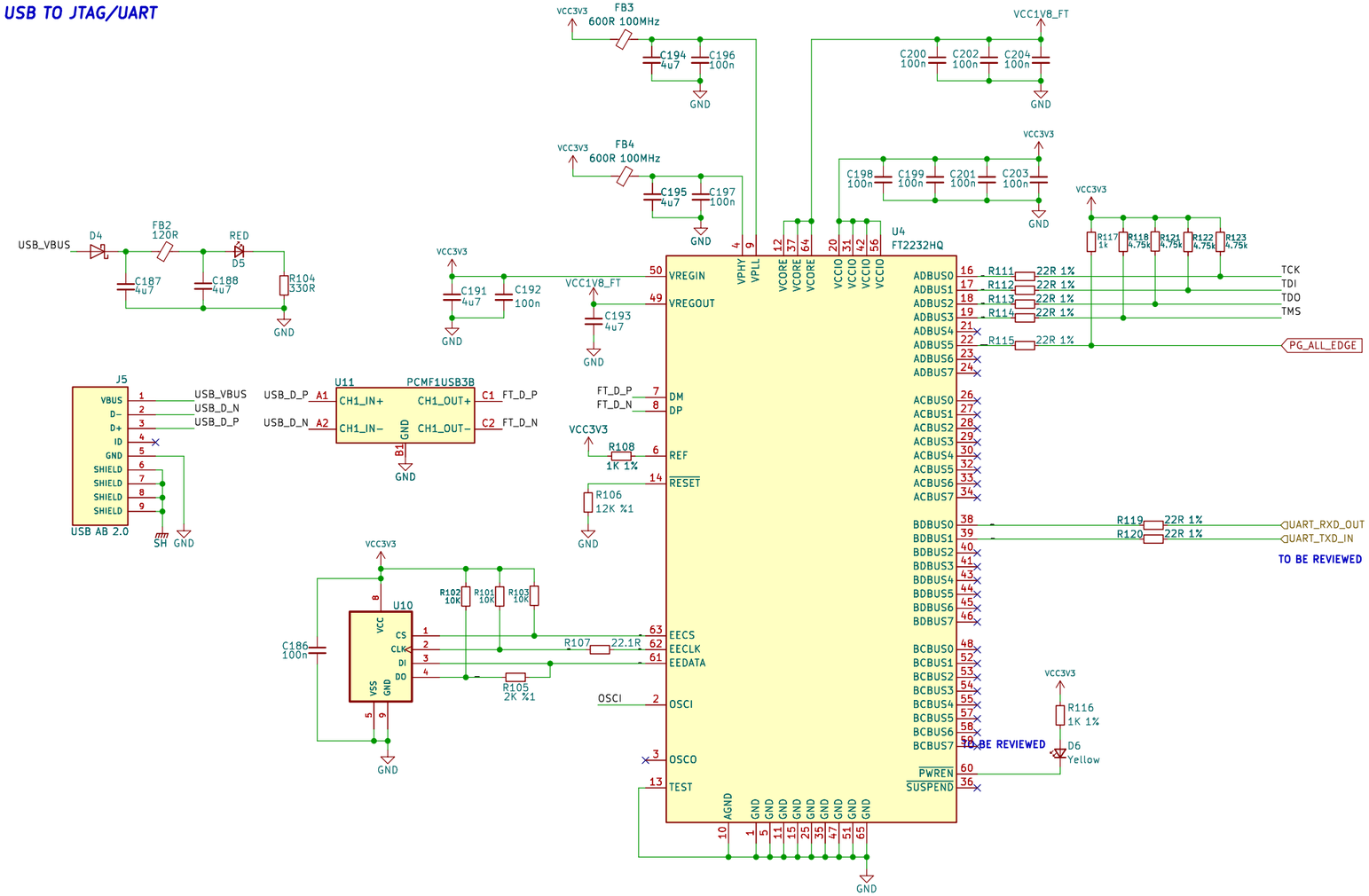




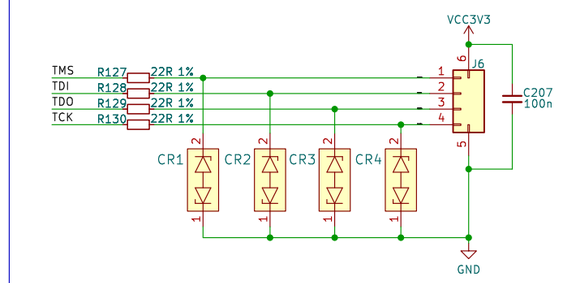




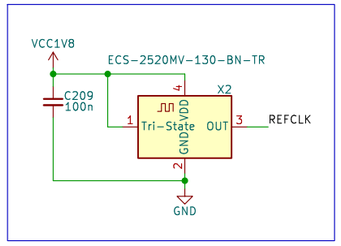
USB TO JTAG/UART



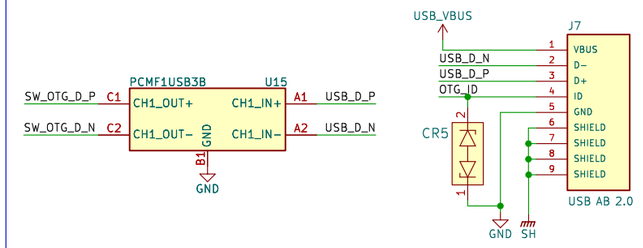
JTAG CONNECTOR



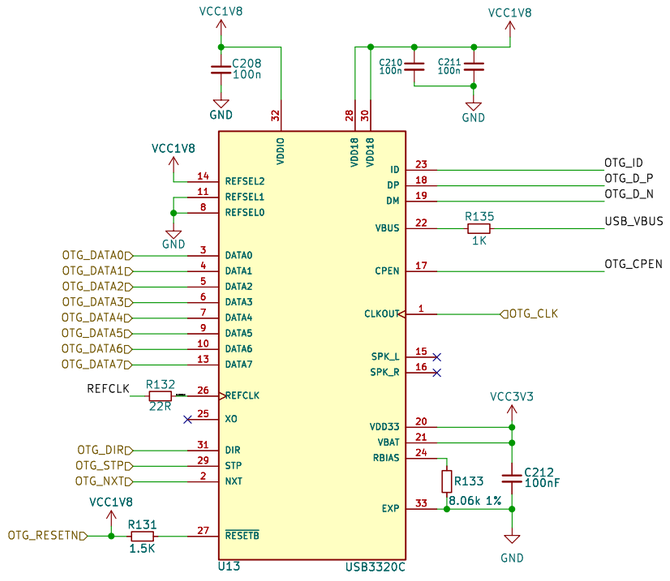
Sheet: /USB & JTAG/		
File: USB & JTAG.kicad_sch		
Title:		
Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 7/8



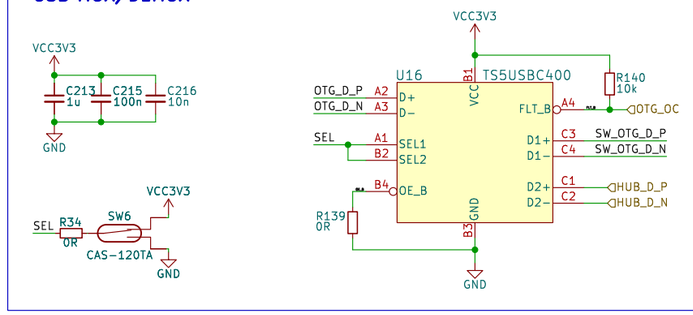
USB Connector/ESD Protection and Commen mode choke



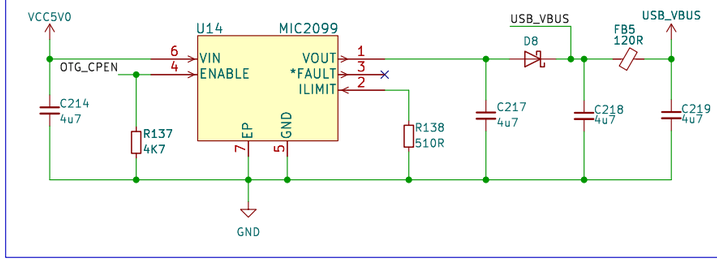
USB OTG Controller



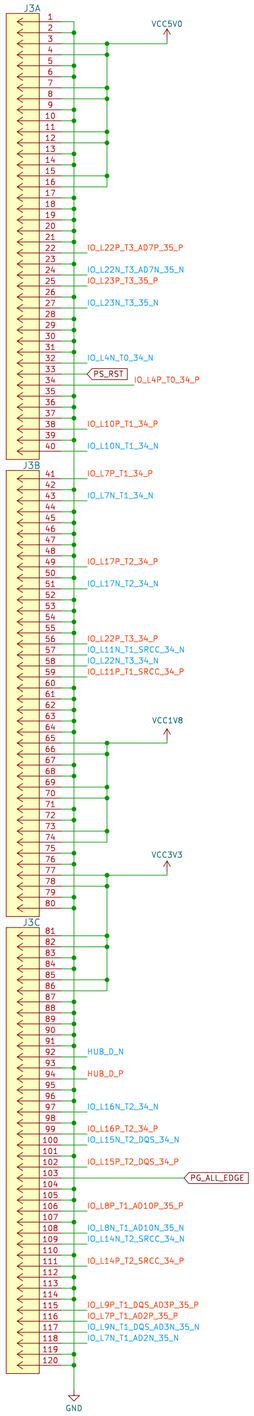
USB MUX/DEMUX

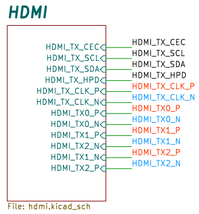


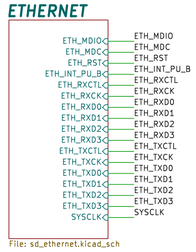
Load Switch

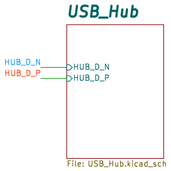


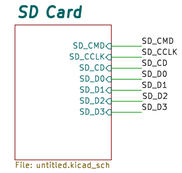
Sheet: /USB OTG/		
File: USB OTG.kicad_sch		
Title:		
Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 8/8

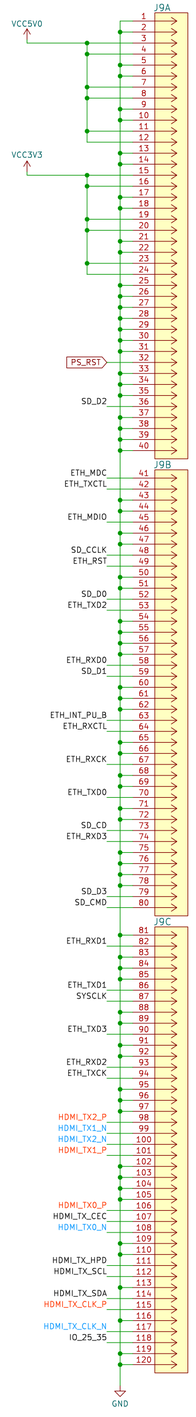


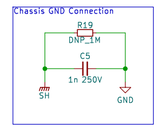










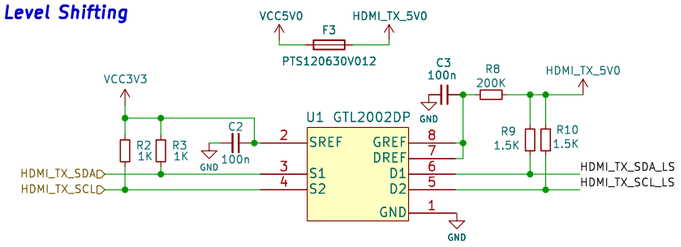


Sheet: /
File: Carrier_Board.kicad_sch

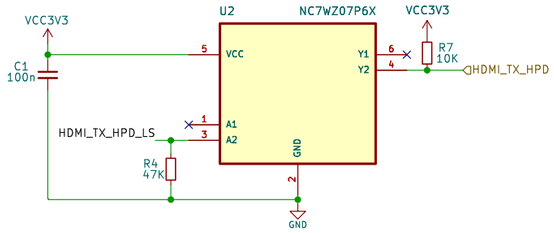
Title:

Size: A2	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 1/5

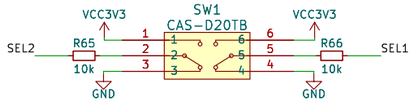
Level Shifting



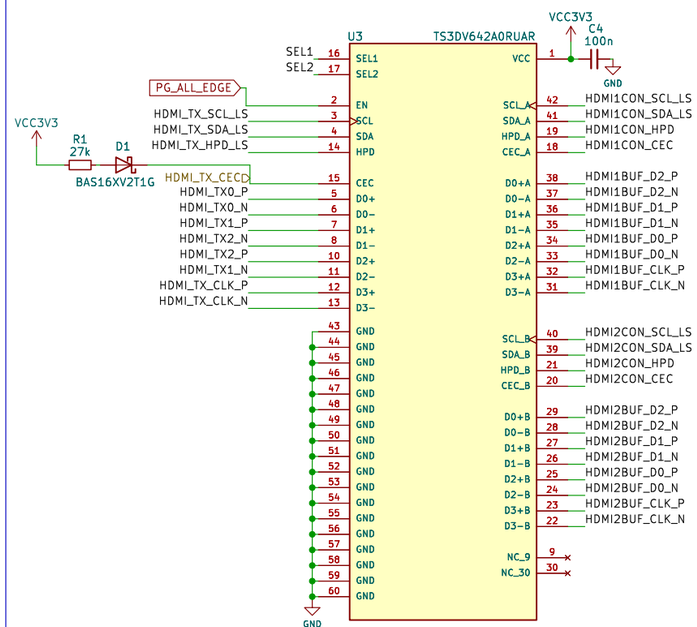
Amplification HDP



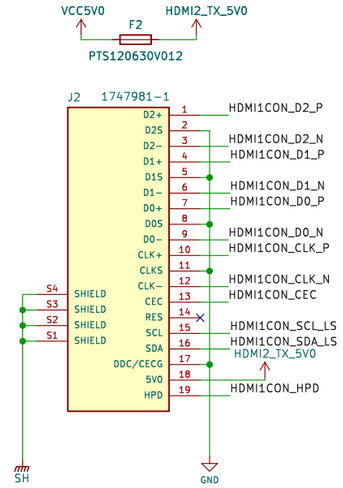
HDMI Selection



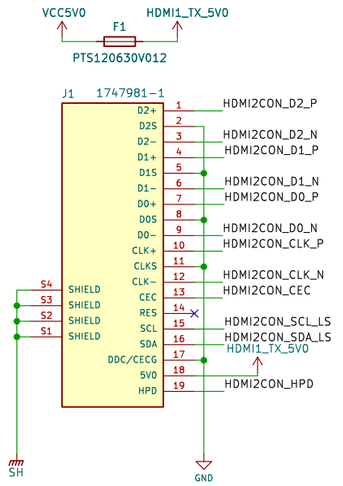
MUX/DMUX



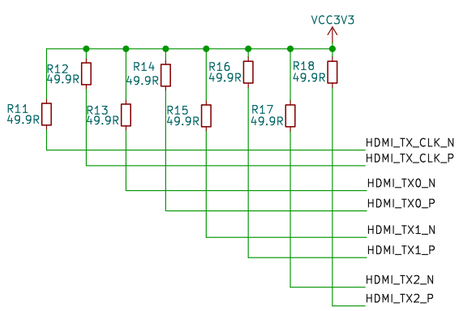
HDMI Connector 1



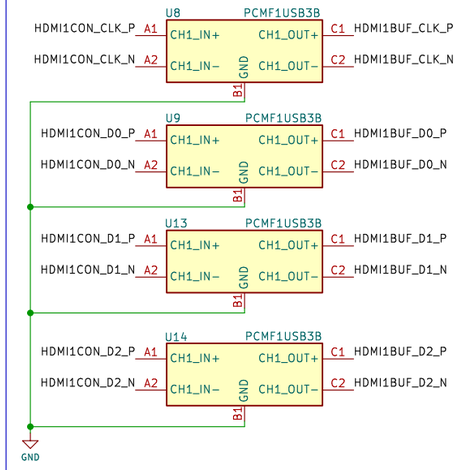
HDMI Connector 2



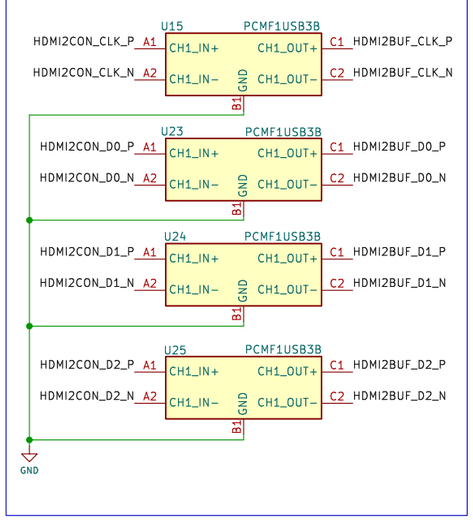
Transmission Resistor



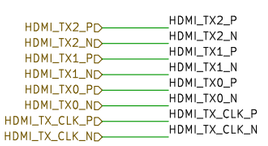
Common Mode Chokes 1



Common Mode Chokes 2



Zynq7010 Connexion

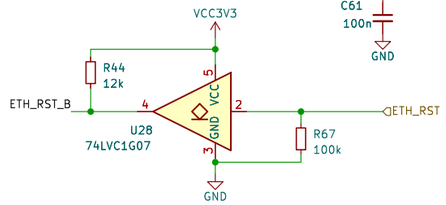


Sheet: /HDMI/
File: hdmi.kicad_sch

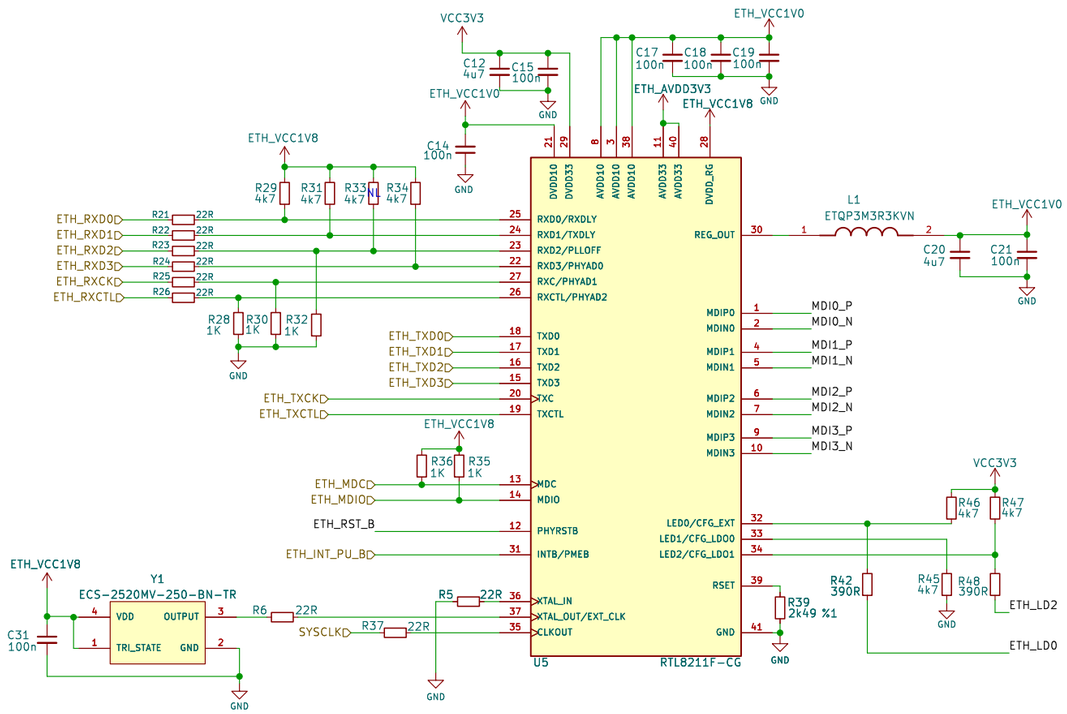
Title:

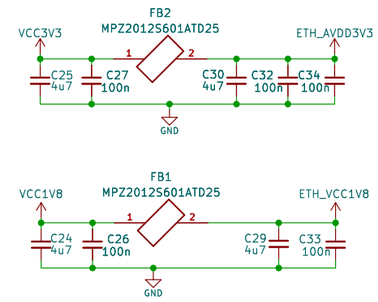
Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 2/5

Level Shifting

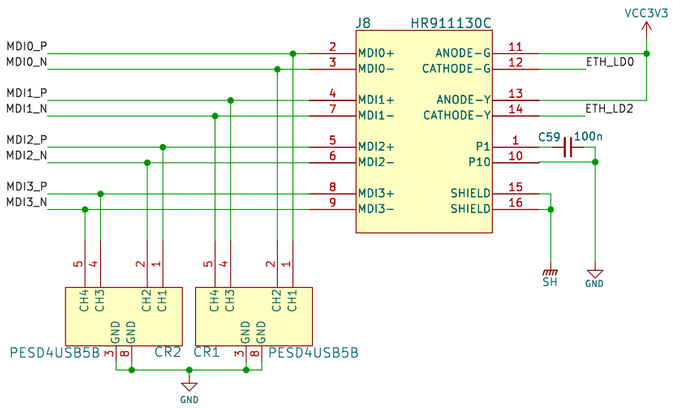


PHY ETHERNET



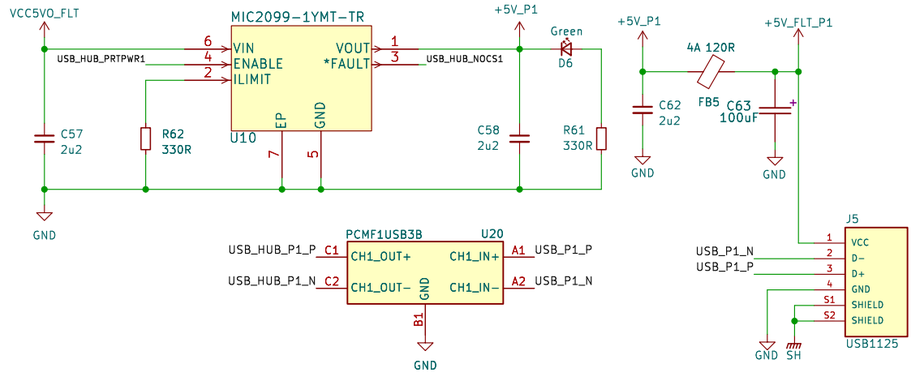


RJ45 Connector/ESD Protection

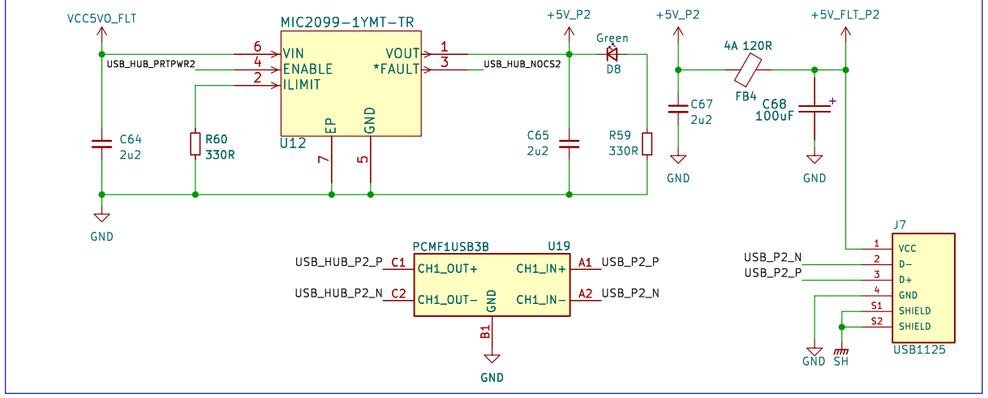


Sheet: /ETHERNET/		
File: sd_ethernet.kicad_sch		
Title:		
Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 3/5

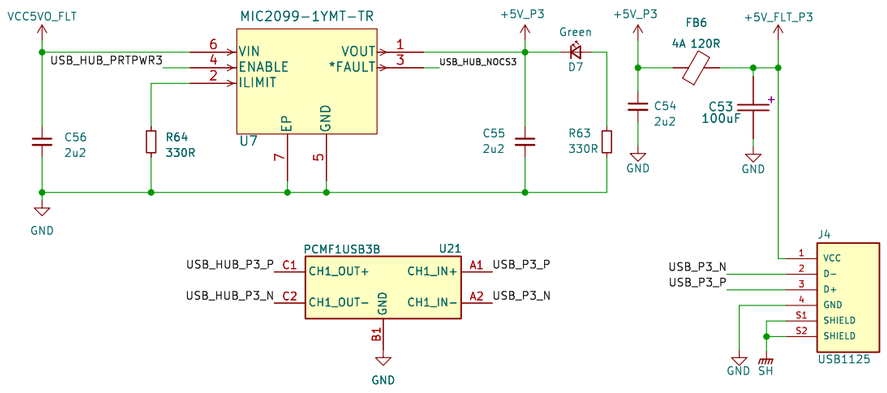
Port 1/ESD Protection



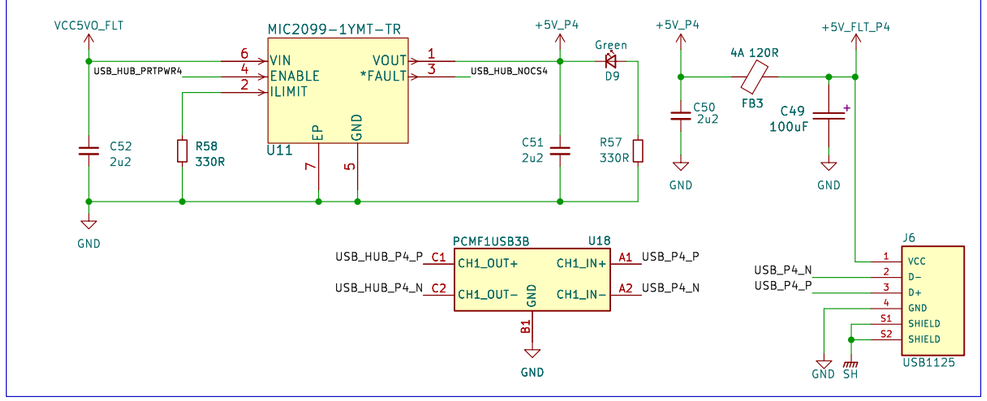
Port 2/ESD Protection

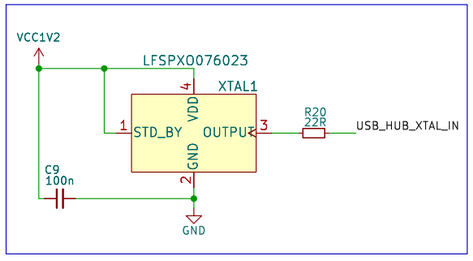


Port 3/ESD Protection

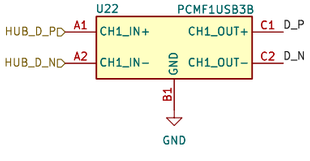


Port 4/ESD Protection

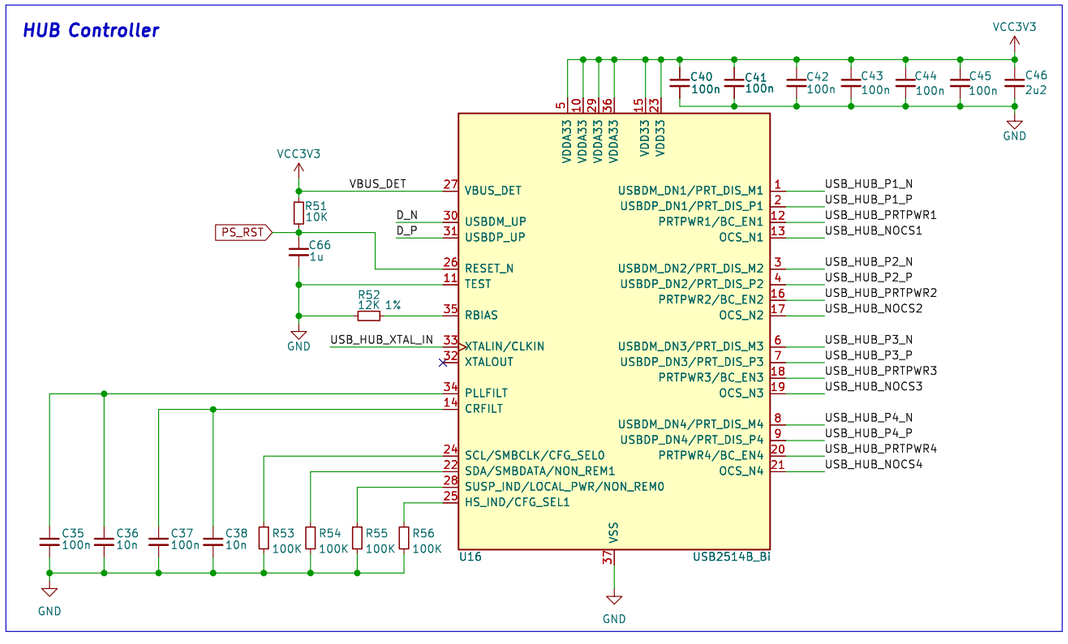


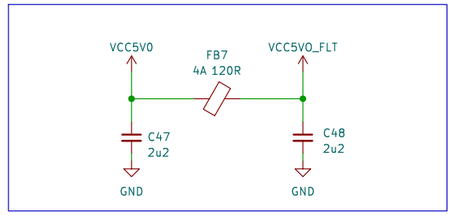


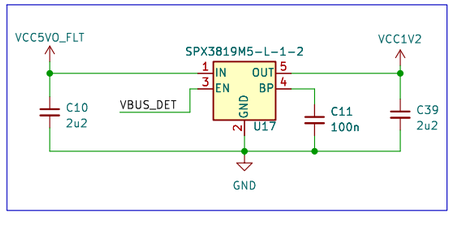
ESD Protection



HUB Controller





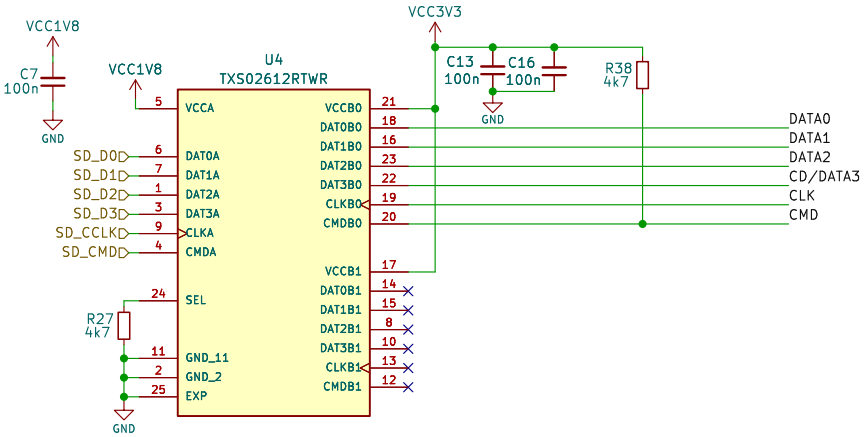


Sheet: /USB_Hub/
File: USB_Hub.kicad_sch

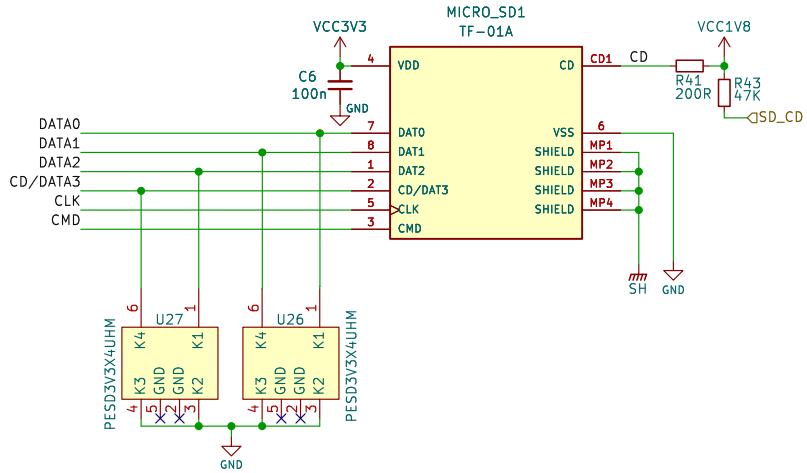
Title:

Size: A3	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 4/5

Level Shifting



SD Connector/ESD Protection



Sheet: /SD Card/
File: untitled.kicad_sch

Title:

Size: A4	Date:	**Rev:**
KiCad E.D.A. kicad (7.0.0)		Id: 5/5

ملخص

تعترض تصميم لوحات الدوائر الكهربائية المعقدة لتطبيقات الوسائط المتعددة بصعوبات، بما في ذلك إدارة التعقيد والقليل من المرونة للتحديثات المستقبلية والصيانة المعقدة، ويقدم هذا المشروع حلاً لهذه الصعوبات يكمن في اعتماد منهجية التصميم التجميعي، التي تتجسد في نظام ،ModuZynq الذي يجمع بين نظام على الوحدة (SoM) وبين بطاقات تطبيق محددة. تمكن هذه الانتقال إلى التصميم التجميعي من تقسيم النظام إلى وحدات متصلة ببعضها، مما يبسط الإدارة ويحسن الصيانة، ويوفر مرونة متزايدة لتخصيص الوحدات حسب الاحتياجات المحددة. باختصار، يحل التصميم التجميعي مشاكل تصميم لوحات الدوائر الكهربائية المعقدة لتطبيقات الوسائط المتعددة من خلال ضمان إدارة محسنة وصيانة مبسطة ومرونة متزايدة وموثوقية معززة.

كلمات مفتاحية :

دائرة متكاملة ,PCB, ,SoC ,FPGA ,Zynq منهجية التصميم التجميعي, لوحة الدوائر المطبوعة.

Résumé

La conception de PCB complexes pour les applications multimédias était entravée par des difficultés inhérentes à la méthodologie monobloc traditionnelle, notamment la gestion de la complexité, la flexibilité limitée pour les mises à jour, et la maintenance complexe. Ce projet présente une solution à ces difficultés qui réside dans l'adoption de la conception modulaire, incarnée par le système ModuZynq, qui associe un SoM (Système sur module) et des cartes à application spécifique. Cette transition vers la conception modulaire permet de diviser le système en modules interconnectés, simplifiant la gestion, améliorant la maintenance, et offrant une flexibilité accrue pour personnaliser les modules en fonction des besoins spécifiques. En résumé, la conception modulaire résout les problèmes de conception des PCB complexes pour les applications multimédias en garantissant une gestion optimisée, une maintenance simplifiée, une adaptabilité accrue, et une fiabilité renforcée.

Mots clés : Circuit imprimé, SoC, PCB, Zynq, FPGA, Circuit intégré, Méthodologie de conception modulaire.

Abstract

The design of complex PCBs for multimedia applications has been hindered by inherent challenges in the traditional monolithic methodology, including complexity management, limited flexibility for updates, and intricate maintenance. This project presents a solution to these difficulties through the adoption of modular design, embodied by the ModuZynq system, which combines a SoM (System on Module) with application-specific cards. This transition to modular design allows the system to be divided into interconnected modules, simplifying management, improving maintenance, and providing increased flexibility to customize modules according to specific needs. In summary, modular design addresses the design challenges of complex PCBs for multimedia applications by ensuring optimized management, simplified maintenance, enhanced adaptability, and increased reliability.

Keywords : Integrated circuit ,PCB, SoC, FPGA, Zynq, Modular design methodology, Printed circuit board.